



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11250672 A**

(43) Date of publication of application: 17 . 09 . 99

(51) Int. Cl

**G11C 16/02**

(21) Application number: 10053678

(71) Applicant: OKI ELECTRIC IND CO LTD

(22) Date of filing: 05 . 03 . 98

(72) Inventor: **YOSHIDA TAKUJI**

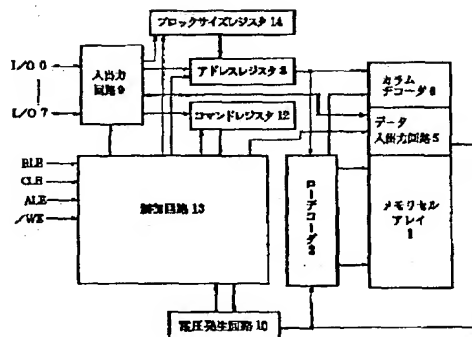
## (54) NONVOLATILE SEMICONDUCTOR MEMORY

(57) Abstract:

**PROBLEM TO BE SOLVED:** To prolong a lifetime of a nonvolatile memory cell by shortening a data rewriting time.

**SOLUTION:** A memory array 1 has a plurality of nonvolatile memory cells disposed. Data of the cells are erased at a block unit. A block size register 14 stores block size data input externally. The block size data is data for setting one block size (number of nonvolatile memory cells). Accordingly, the block size can be externally set to a desired size. An address register 8 is set in a block size based on the block size data, and generates internal address data for designating the erasure block target from a plurality of the blocks based on the externally input address data. A row decoder 2 and a column decoder 6 select the erasure block target from the internal address data.

COPYRIGHT: (C)1999,JPO





(19)日本国特許庁 (JP)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-250672

(43)公開日 平成11年(1999)9月17日

(51)Int.Cl.<sup>6</sup>

G11C 16/02

識別記号

FI

G11C 17/00

612

F

審査請求 未請求 請求項の数16 OL (全23頁)

(21)出願番号 特願平10-53678

(22)出願日 平成10年(1998)3月5日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 吉田 拓司

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

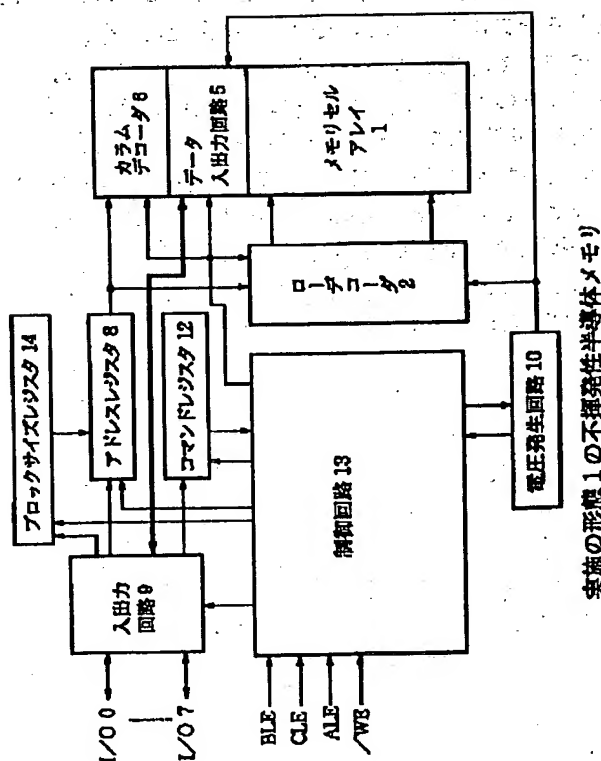
(74)代理人 弁理士 前田 実

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 データ書き換え時間を短縮し、不揮発性メモリセルの寿命を延ばす。

【解決手段】 メモリセルアレイ1は、複数の不揮発性メモリセルを配置したものであり、これらの不揮発性メモリセルのデータ消去はブロック単位で実行される。ブロックサイズレジスタ14は、外部から入力されたブロックサイズデータを記憶する。ブロックサイズデータは1個のブロックのサイズ(不揮発性メモリセルの個数)を設定するためのデータである。従って、ブロックサイズを外部から所望のサイズに設定することが可能である。アドレスレジスタ8は上記のブロックサイズデータに基づいてブロックの大きさを設定し、また外部から入力されるアドレスデータに基づいて複数のブロックから消去対象ブロックを指定する内部アドレスデータを生成する。ローデコーダ2およびカラムデコーダ6は内部アドレスデータに基づいて消去対象ブロックを選択する。



## 【特許請求の範囲】

【請求項 1】 電氣的にデータの書き換えが可能な複数の不揮発性メモリセルを配置したメモリセルアレイを複数のブロックに分割し、前記不揮発性メモリセルのデータ消去をブロック単位で実行する不揮発性半導体記憶装置において、

前記ブロックの大きさを設定するためのブロックサイズデータを予め記憶しているブロックサイズ記憶手段と、前記ブロックサイズデータに基づいて前記ブロックの大きさを設定するブロック設定手段とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 さらに、前記ブロックサイズ記憶手段に記憶されている前記ブロックサイズデータを外部から入力されたブロックサイズデータに更新する更新手段を有し、前記ブロックサイズ記憶手段は、記憶データの更新が可能なものであることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 さらに、選択手段を有し、前記ブロック設定手段は、前記ブロックの大きさと、データ消去が実行される消去対象ブロックのメモリセルアレイ上の位置とを指定する内部アドレスデータを生成し、前記選択手段は、前記内部アドレスデータに基づいて前記複数のブロックの中から前記消去対象ブロックを選択することを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】 電氣的にデータの書き換えが可能な複数の不揮発性メモリセルを配置したメモリセルアレイを複数のブロックに分割し、前記不揮発性メモリセルのデータ書き込みをブロック単位で実行する不揮発性半導体記憶装置において、前記ブロックの大きさを設定するためのブロックサイズデータを予め記憶しているブロックサイズ記憶手段と、前記ブロックサイズデータに基づいて前記ブロックの大きさを設定するブロック設定手段とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 5】 さらに、前記ブロックサイズ記憶手段に記憶されている前記ブロックサイズデータを外部から入力されたブロックサイズデータに更新する更新手段を有し、前記ブロックサイズ記憶手段は、記憶データの更新が可能なものであることを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】 さらに、選択手段を有し、前記ブロック設定手段は、前記ブロックの大きさと、データ書き込みが実行される書き込み対象ブロックのメモリセルアレイ上の位置とを指定する内部アドレスデータを生成し、前記選択手段は、前記内部アドレスデータに基づいて、

前記書き込み対象ブロック内の全ての不揮発性メモリセルを選択することを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 前記ブロック設定手段は、前記書き込み対象ブロック内の不揮発性メモリセルを連続的に順次指定する内部アドレスデータを生成し、前記選択手段は、前記書き込み対象ブロック内の不揮発性メモリセルを連続的に順次選択することを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 電氣的にデータの書き換えが可能な複数の不揮発性メモリセルを配置したメモリセルアレイを備えた不揮発性半導体記憶装置において、前記メモリセルアレイを複数のブロックに分割し、前記不揮発性メモリセルのデータ書き換えをブロック単位で実行することを特徴とする不揮発性半導体記憶装置。

【請求項 9】 前記ブロックの大きさを設定するためのブロックサイズデータを予め記憶しているブロックサイズ記憶手段と、前記ブロックサイズデータに基づいて前記ブロックの大きさを設定するブロック設定手段とを有することを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 10】 さらに、前記ブロックサイズ記憶手段に記憶されている前記ブロックサイズデータを外部から入力されたブロックサイズデータに更新する更新手段を有し、前記ブロックサイズ記憶手段は、記憶データの更新が可能なものであることを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

【請求項 11】 前記データ書き換えは、データ消去とそのあとのデータ書き込みからなる一連動作により実行されるものであり、前記ブロック設定手段は、消去対象ブロックとして指定したブロックがどれであるかを一時的に記憶し、この記憶したブロックを書き込み対象ブロックとして指定することを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 12】 さらに、選択手段を有し、前記ブロック設定手段は、前記ブロックの大きさと、データ書き換えが実行される書き換え対象ブロックのメモリセルアレイ上の位置とを指定する内部アドレスデータを生成し、前記選択手段は、前記内部アドレスデータに基づいて、前記書き換え対象ブロック内の全ての不揮発性メモリセルを選択することを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 13】 前記ブロック設定手段は、データ書き込み時に、前記記憶したブロック内の不揮発性メモリセルを連続的に順次指定する内部アドレスデータを生成し、

前記選択手段は、前記記憶されたブロック内の不揮発性

メモリセルを連続的に順次選択することを特徴とする請求項 12 記載の不揮発性半導体記憶装置。

【請求項 14】 前記ブロックを構成する不揮発性メモリセルの個数が、前記ブロックサイズデータの値により、2 の累乗単位で変化することを特徴とする請求項 1、4、または 8 に記載の不揮発性半導体記憶装置。

【請求項 15】 前記ブロックサイズ記憶手段は、前記ブロックサイズデータを不揮発に記憶することを特徴とする請求項 1、4、または 8 に記載の不揮発性半導体記憶装置。

【請求項 16】 前記ブロックサイズ記憶手段は、電気的に書き換えが可能な不揮発性記憶素子により構成されていることを特徴とする請求項 1、4、または 8 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電気的にデータの書き換えが可能な不揮発性メモリセルを複数配置したメモリセルアレイを備えた、フラッシュメモリや EEPROM 等の不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】不揮発性半導体記憶装置（不揮発性半導体メモリ）においては、バイト単位で、あるいは複数バイトからなるブロック単位で、あるいはチップ（メモリセルアレイ全体）単位で不揮発性メモリセルのデータを消去し、またバイト単位で不揮発性メモリセルにデータを書き込む。そして、メモリセルアレイ内の不揮発性メモリセルのデータを書き換えるには、まず上記のデータ消去を実行して、同一消去単位内の全ての不揮発性メモリセルのデータを消去し、続いて所定の不揮発性メモリセルのデータを書き込む。従って、1 ビットのデータの書き換えの場合であっても、同一消去単位内の全ビットを消去し、そのあと新しいデータを同一消去単位内の全ビットに書き込む必要があった。また、複数のブロック内の不揮発性メモリセルを同時に消去できる不揮発性半導体メモリもある。

【0003】図 14 は従来の複数ブロックの同時消去（マルチブロック消去）が可能な不揮発性半導体メモリの構成を示すブロック図である。図 14 の不揮発性半導体メモリは、メモリセルアレイ 1 と、ローデコーダ 2 と、データ入出力回路 5 と、カラムデコーダ 6 と、入出力回路 9 と、電圧発生回路 10 と、コマンドレジスタ 12 と、制御回路 101 と、アドレスレジスタ 102 とを有する。制御回路 101 には、CLE、ALE、/WE 等の制御信号が外部から入力される。制御回路 101 は、上記の制御信号と、外部から入出力回路 9 に入力され、コマンドレジスタ 12 に保持されるコマンドコードとに基づいて、ローデコーダ 2、データ入出力回路 5、カラムデコーダ 6、電圧発生回路 10 と、コマンドレジ

スタ 12、およびアドレスレジスタ 102 の動作を制御する。アドレスレジスタ 102 は外部から入出力回路に入力されるアドレスデータ（外部アドレスデータ）に基づいて、データ消去が実行されるブロック（消去対象ブロック）、データが書き込まれるバイト、あるいはデータが読み出されるバイトを選択するためのアドレスデータ（内部アドレスデータ）を生成し、これをローデコーダ 2 およびカラムデコーダ 6 に与える。ブロックのサイズは、製造時に予め設定されたものである。図 14 の不揮発性半導体メモリにおいては、データ消去、データ書き込み、データ読み出し等の各動作を実行させる前に、外部からコマンドコードを入力することにより、各動作がセットアップされる。

【0004】図 15 は図 14 の不揮発性半導体メモリにおけるデータ消去動作（マルチブロック消去動作）のタイミングチャートである。図 15 において、60H はブロック消去のセットアップコマンドであり、A8 ~ A20 は消去対象ブロックを指定する外部アドレスデータ（ブロックアドレスデータ）である。外部から入出力回路 9 にブロック消去セットアップコマンド 60H およびブロックアドレスデータ A8 ~ A20 が入力されると、ブロック消去セットアップコマンド 60H はコマンドレジスタ 12 に、またブロックアドレスデータ A8 ~ A20 はアドレスレジスタ 102 にそれぞれ転送される。消去対象ブロックの個数分だけ、セットアップコマンドとブロックアドレスデータの入力が繰り返される。このあと、ブロック消去実行コマンド D0H が外部から入力されると、上記のブロックアドレスデータにより指定された複数の消去対象ブロック内の全ての不揮発性メモリセルのデータが、アドレスレジスタ 102、ローデコーダ 2、およびカラムデコーダ 6 により同時に消去される。

【0005】

【発明が解決しようとする課題】しかしながら上記従来の不揮発性半導体記憶装置においては、マルチブロック消去ができるようにすると、制御が複雑になるという問題があり、またブロックのビット容量よりも大きなビット容量をデータ書き換えの最小単位とする場合には、書き換えを実行することにより、ブロックアドレスデータを複数回入力しなければならず、ブロックアドレスデータの入力時間が長くなり、単位時間当たりのデータ書き換え量が少なくなるという問題があった。

【0006】また、制御を簡単にするため、チップ一括消去を用いると、データ書き換えが不要な不揮発性メモリセルに対してもデータ消去およびデータ書き込みが実施される。しかし、不揮発性メモリセルはデータ書き換えの回数が増えると劣化するので、チップ一括消去を用いると不揮発性メモリセルの寿命が短くなってしまうという問題があった。

【0007】本発明はこのような従来の問題を解決するためになされたものであり、データ書き換え時間を短縮

することができ、不揮発性メモリセルの寿命を延ばすことができる不揮発性半導体記憶装置を提供することを目的とするものである。

#### 【0008】

【課題を解決するための手段】上記の目的を達成するために本発明の代表的な不揮発性半導体記憶装置は、電氣的にデータの書き換えが可能な複数の不揮発性メモリセルを配置したメモリセルアレイを複数のブロックに分割し、前記不揮発性メモリセルのデータ消去をブロック単位で実行する不揮発性半導体記憶装置において、前記ブ

#### 【0009】

【発明の実施の形態】実施の形態1

図1は本発明の実施の形態1の不揮発性半導体メモリの構成を示すブロック図である。図1の不揮発性半導体メモリは、メモリセルアレイ1と、ローデコーダ2と、データ入出力回路5と、カラムデコーダ6と、アドレスレジスタ8（ブロック設定手段）と、入出力回路9と、高電圧発生回路10と、コマンドレジスタ12と、制御回路13と、ブロックサイズレジスタ14（ブロックサイズ記憶手段）とを有する。

【0010】メモリセルアレイ1は、不揮発性メモリセルをアレイ状に複数配置したものである。ローデコーダ2は、アドレスレジスタ8から入力されるローアドレスデータに基づいて、メモリセルアレイ1上のデータ消去が実行されるブロック（消去対象ブロック）あるいはデータ書き込みが実行されるメモリセルユニット（書き込み対象メモリセルユニット）のロー（列）を選択する。データ入出力回路5は、センスアンプ等を有し、入出力回路9を介して入力された書き換えデータを格納し、またメモリセルアレイ1から読み出したデータを入出力回路9に転送する。カラムデコーダ6は、アドレスレジスタ8から入力されるカラムアドレスデータに基づいて、メモリセルアレイ1上の消去対象ブロックあるいは書き込み対象メモリセルユニットのカラム（行）を選択する。ローデコーダ2およびカラムデコーダ6は選択手段

【0011】入出力回路9は、外部から入力されたコマンドコードをコマンドレジスタ12に転送し、外部から入力されたブロックサイズデータをブロックレジスタ14に転送し、入力された外部アドレスデータをアドレスレジスタ8に転送し、外部から入力された書き換えデータをデータ入出力回路5に転送し、またデータ入出力回路5から転送された読み出しデータを外部に出力する。電圧発生回路10は、外部から供給される電源電圧からデータ消去およびデータ書き込み用の高電圧VPP1

（例えば20[V]）およびセンス電圧VPP2（例えば2[V]）を発生し、これをローデコーダ2およびデータ入出力回路5に供給する。コマンドレジスタ12は、入出力回路9を介して入力された動作コマンドを保持し、この動作コマンドを制御回路13に与える。

【0012】ブロックサイズレジスタ14は、入出力回路9を介して入力されたブロックサイズデータを不揮発的に記憶し、このブロックサイズデータをアドレスレジスタ8に出力する。ブロックサイズデータは、ブロックサイズを設定するためのデータである。アドレスレジスタ8は、入出力回路9を介して外部から入力されたアドレスデータ（外部アドレスデータと称する）と、ブロックサイズレジスタ14から入力されたブロックサイズデータとに基づいて、ローアドレスデータおよびカラムアドレスデータからなる内部アドレスデータを生成し、ローアドレスデータをローデコーダ2に転送し、またカラムアドレスデータをカラムデコーダ6に転送する。制御回路13は、外部から入力されるBLE（ブロックラインイネーブル）、CLE（コマンドラインイネーブル）、ALE（アドレスラインイネーブル）、/WE（ライトイネーブルバー）、等の制御信号、および外部から入出力回路9に入力されるコマンドコードに基づいて、ローデコーダ2、データ入出力回路5、カラムデコーダ6、アドレスレジスタ8、入出力回路9、電圧発生回路10、コマンドレジスタ12、およびブロックサイズレジスタ14を制御する。この制御回路13と入出力回路9とは、ブロックサイズレジスタ14のブロックサイズデータを外部から入力されたブロックサイズデータに更新する、すなわち外部から入力されたブロックサイズデータをブロックサイズレジスタ14に記憶させる更新手段を構成する。

【0013】外部アドレスデータは、ここでは21ビットであるものとする。また、ブロックサイズデータも21ビットであるものとする。ブロックサイズデータのビットデータをB0, B1...B20と表記し、また外部アドレスデータのビットデータをA0, A1...A20と表記する。なお、ブロックサイズデータは、ブロックサイズの設定のときに外部から入力されるデータであり、外部アドレスデータはメモリセルアレイ1のデータを書き換えるとき（データ消去およびデータ書き込みのとき）、およびメモリセルアレイ1からデータを読み出すときに外部から入力されるデータである。

【0014】また、内部アドレスデータは、1ビットの外部アドレスデータに対し、2ビット生成される。内部アドレスデータのビットデータをE0, E1...E20, E B0, E B1...E B20と表記する。内部アドレスデータEn（nは0から20までの任意の整数）とE Bnとは、データ消去時にはブロックサイズデータBnおよび外部アドレスデータAnに基づいて生成され、またデータ書き込み時には外部アドレスデータAnに基づいて生

成される。内部アドレスデータE0～E11, EB0～EB11はカラムアドレスデータを構成し、また内部アドレスデータE12～E20, EB12～EB20はローアドレスデータを構成する。内部アドレスデータEnを外部アドレスデータAnと同じデータとし、EBnをAnの反転データとすれば、メモリセルアレイ1の1個のカラム

(列)と1個のロー(行)が選択され、従って1バイトのデータ記憶容量を有するメモリセルユニットが1個選択される。また、ブロックサイズデータBnが論理レベル"0"の場合にEBnをEnの反転データとし、ブロックサイズデータBnが論理レベル"1"の場合に、内部アドレスデータEnとEBnとを、ともに論理レベル"1"とすれば、複数のカラムまたは／および複数のローを同時選択でき、複数のメモリセルユニットを1個の消去対象ブロックとして同時選択できる。ブロックサイズデータB0～B11はカラム側のブロックサイズを設定するためのデータであり、ブロックサイズデータB12～B20はロー側のブロックサイズを設定するためのデータである。

【0015】図2はメモリセルアレイ1の内部構成を示すブロック図である。図2において、メモリセルアレイ1は、カラム方向にP列、ロー方向にQ列配置されたP×Q(P、Qは任意の自然数)個のメモリセルユニットMU(0,0)…MU(i,j)…MU(P,Q)を有する。ここで、iは0からPまでの任意の整数、jは0からQまでの任意の整数である。メモリセルユニットMU(i,j)は、8個の不揮発性メモリセルを備え、1バイトのデータ記憶容量を有する。メモリセルアレイ1は、P×Q個のメモリセルユニットを備え、P×Qバイトのデータ記憶容量を有する。ここでは、 $P=2^{11}$ (=4096)、 $Q=2^1$ (=512)とし、メモリセルアレイ1はおおよそ2メガバイトのデータ記憶容量を有する。

【0016】メモリセルユニットMU(i,0)～MU(i,Q)には、センスラインSLiと、接地制御ラインGLiと、8本のビットラインからなるビットライン群BGiとに接続している。また、メモリセルユニットMU(0,j)～MU(P,j)は、ワードラインWLjに接続している。センスラインSLiおよびビットライン群BG0～BGPは、データ入出力回路5およびカラムデコード6に接続している。また、ワードラインWLjはローデコ

【0017】図3はメモリセルユニットMU(i,j)の内部構成を示す回路図である。図3において、メモリセルユニットMU(i,j)は、セル選択トランジスタTW0, TW1…TW7(TW1～TW6は図示省略)と、不揮発性メモリトランジスタTM0, TM1…TM7(TM1～TM6は図示省略)と、センス選択トランジスタTSと、接地選択トランジスタTGとを有する。不揮発性メモリトランジスタTMk(kは0から7までの任意の整数)は、フローティングゲートとコントロールゲート

とを有し、フローティングゲートに電荷を注入し、あるいはフローティングゲートから電荷を引き抜くことにより、1ビットのデータを不揮発に記憶するトランジスタである。セル選択トランジスタTWk、センス選択トランジスタTS、および接地選択トランジスタTGは、nMOSトランジスタである。対となるセル選択トランジスタTWkと不揮発性メモリトランジスタTMkとは、不揮発性メモリセルを構成する。ビットライン群BLGiは、8本のビットラインBL0, BL1…BL7により構成される。

【0018】セル選択トランジスタTW0～TM7およびセンス選択トランジスタTSのゲート電極はいずれもワードラインWLjに接続されている。セル選択トランジスタTWkのドレイン電極はビットラインBLkに接続されており、またセル選択トランジスタTWkのソース電極は不揮発性メモリトランジスタTMkのドレイン電極に接続されている。センス選択トランジスタTSのドレイン電極はセンスラインSLiに接続されており、またセンス選択トランジスタTSのソース電極は不揮発性メモリトランジスタTM0～TM7のコントロールゲート電極に接続されている。接地選択トランジスタTGのゲート電極は接地制御ラインGLiに接続されており、ドレイン電極は不揮発性メモリトランジスタTM0～TM7のソース電極に接続されており、またソース電極は接地電源GNDされている。

【0019】図4は図3の不揮発性メモリトランジスタTMkの動作を説明するための図である。図4において、不揮発性メモリトランジスタTM(図3のTMk)は、フローティングゲート71と、センス選択トランジスタ(図3のTS、図4では図示省略)を介してセンスラインSL(図3のSLi)に接続されるコントロールゲート72と、セル選択トランジスタTW(図3のTWk)のソース電極63に接続されるドレイン電極73と、接地選択トランジスタTGのドレイン電極64に接続されるソース電極74とを有する。セル選択トランジスタTWのゲート電極はワードラインWL(図3のWLj)に接続され、ドレイン電極はビットラインBL(図3のBLk)に接続されている。接地選択トランジスタTGのゲート電極は接地制御ラインGL(図3のGLi)に接続され、ソース電極は接地電源GNDに接続されている。

【0020】不揮発性メモリトランジスタTMは、フローティングゲート71に電荷を注入し、あるいはフローティングゲート71から電荷を引き抜くことにより、1ビットのデータを不揮発に記憶するトランジスタであり、電氣的に記憶データの書き換えが可能なトランジスタである。不揮発性メモリトランジスタTMにおいて、フローティングゲート71に電荷を注入することを「データを消去する」と称し、フローティングゲート71から電荷を引き抜くことを「データを書き込む」と称す



る。

【0021】不揮発性メモリトランジスタTMのデータを消去するときには、コントロールゲート72に高電圧（例えば20[V]）を印加し、ドレイン電極73およびソース電極74を0[V]（GNDレベル）にする。これにより、不揮発性メモリトランジスタTMのソースおよびドレインからフローティングゲート71に電荷が注入される。上記データの消去を実施するには、センスラインSLに上記の高電圧を印加し、ワードラインWLおよび接地制御ラインGLを例えば20[V]としてセル選択トランジスタTWおよび接地選択トランジスタTGをONさせ、ビットラインBLを0[V]にすれば良い。

【0022】また、不揮発性メモリトランジスタTMにデータを書き込むときには、コントロールゲート72を0[V]とし、ドレイン電極73に高電圧（例えば20[V]）を印加し、ソース電極74を開放する。これにより、フローティングゲート71からドレインに電荷が引き抜かれる。上記データの書き込みを実施するには、センスラインSLを0[V]とし、ワードラインWLを例えば20[V]としてセル選択トランジスタTWをONさせ、ビットラインBLに上記の高電圧を印加し、接地制御ラインGLを0[V]として接地選択トランジスタTGをOFFさせれば良い。

【0023】不揮発性メモリトランジスタTMは、ソース電極74が0[V]であるときに、コントロールゲート72に印加される電圧がしきい値電圧以上であればONし、しきい値電圧以下であればOFFする。不揮発性メモリトランジスタTMにおいては、データが書き込まれたときのしきい値電圧Vtwは、データが消去されたときのしきい値電圧Vteに比べて低くなるため、このしきい値電圧の違いを利用して記憶されているデータを読み出す。すなわち、コントロールゲート72に上記のしきい値電圧VtwとVteの間の電圧（センス電圧と称する）を印加し、このとき不揮発性メモリトランジスタTMがONであるかOFFであるかを検出することにより、記憶されているデータを読み出す。上記データの読み出しを実施するにはセンスラインSLにセンス電圧、例えば2[V]を印加し、ワードラインWLおよび接地制御ラインGLを例えば20[V]としてセル選択トランジスタTWおよび接地選択トランジスタTGをONさせ、ビットラインBLを、例えばプルアップ抵抗を介して正電源に接続し、このとき、ビットラインBLの電位レベルがGNDレベルであるか正電源レベルであるかを検出すれば良い。ビットラインBLがGNDレベルであれば、不揮発性メモリトランジスタTMはONしており、従ってデータが書き込まれている。また、ビットラインBLが正電源レベルであれば、不揮発性メモリトランジスタTMはOFFしており、従ってデータが消去されている。

【0024】図5はブロックサイズレジスタ14およびアドレスレジスタ8の内部構成および接続関係を示すブロック図である。図5において、ブロックサイズレジスタ14は、21個のブロックサイズビットレジスタBS0～BS20により構成される。ブロックサイズビットレジスタBSn（nは0から21までの任意の整数）は、入出力回路9から入力されたブロックサイズビットデータBnをそれぞれ不揮発に記憶する。また、アドレスレジスタ8は、21個のアドレスビットレジスタAR0～AR20により構成される。アドレスビットレジスタARnは、消去動作時に、入出力回路9から入力された外部アドレスデータAnとブロックサイズレジスタ14から入力されたブロックサイズデータBnとに基づいて内部アドレスデータEn、EBnを生成し、またデータ書き込み動作時に、外部アドレスデータAnのみに基づいて内部アドレスデータEn、EBnを生成する。ブロックサイズビットレジスタBS0～BS20の内部構成は同一であり、またアドレスビットレジスタAR0～AR20の内部構成も同一である。

【0025】ブロックサイズビットレジスタBSn（nは0から20までの任意の整数）は、ブロックサイズの設定動作時に入力されたブロックサイズデータBnを不揮発に記憶し、このブロックサイズデータBnをデータ消去動作時にアドレスビットレジスタARnに出力する。また、アドレスビットレジスタARnはブロックサイズデータBnと外部アドレスデータAnから内部アドレスデータEnおよびEBnを生成する。アドレスビットレジスタAR0～AR11は、カラムアドレスデータを生成するものであり、内部アドレスデータE0～E11、EB0～EB11はカラムデコード6に出力される。また、アドレスビットレジスタAR12～AR20は、ローアドレスデータを生成するものであり、内部アドレスデータE12～E20、EB12～EB20はローデコード2に出力される。

【0026】図6はブロックサイズレジスタ14のブロックサイズビットレジスタBSnの内部構成を示す回路図である。ブロックサイズビットレジスタBSnは、NORゲート101、102と、NANDゲート103、119と、インバータ104、105、106、117、118、120と、ブロックサイズバッファ107と、pMOSトランジスタ108、109、113、114と、nMOSトランジスタ110、111、115、116と、不揮発性メモリセルトランジスタ112とを有する。ブロックサイズバッファ107の入力端子には、入出力回路9からブロックサイズデータBnが入力され、ラッチ制御端子には制御回路13から制御信号/WEが入力される。ブロックサイズバッファ107は制御信号/WEの立ち下がりでブロックサイズデータBnをラッチし、これを一時的に保持する。

【0027】NORゲート101の第1入力端子にはブ



ロックサイズバッファ107からブロックサイズデータBnが入力され、またNORゲート101の第2入力端子には制御回路13からの内部信号SETBが入力される。また、インバータ104の入力端子はNORゲート101の出力端子に接続され、インバータ104の出力端子はノードAに接続され、またインバータ104の電源端子には高電圧VPP1が印加される。高電圧VPP1は、例えば20[V]である。また、NANDゲート119の第1入力端子はノードAに接続され、NANDゲート119の第2入力端子には制御回路13からの内部信号SETが入力され、NANDゲート119の出力端子インバータは120の入力端子に接続されている。また、NORゲート102の第1入力端子はインバータ120の出力端子に接続され、NORゲート102の第2入力端子には制御回路13からの内部信号ENが入力され、またNORゲート102の出力端子はインバータ105の入力端子に接続されている。

【0028】nMOS115のゲート電極には内部信号SETが入力され、nMOS115のドレイン電極はノードAに接続され、nMOS115のソース電極はノードCに接続されている。また、pMOS113のゲート電極には制御回路13からの内部信号SETBが入力され、pMOS113のソース電極はノードAに接続され、pMOS113のドレイン電極はノードCに接続されている。また、nMOS116のゲート電極には制御回路13からの内部信号ENが入力され、nMOS116のドレイン電極にはセンス電圧VPP2が印加され、nMOS116のソース電極はノードCに接続されている。また、pMOS114のゲート電極には制御回路13からの内部信号ENBが入力され、pMOS114のソース電極にはセンス電圧VPP2が印加され、pMOS114のドレイン電極はノードCに接続されている。センス電圧VPP2は、例えば2[V]である。

【0029】pMOS108のゲート電極はノードAに接続され、ソース電極には電源電圧VPP1が印加され、ドレイン電極はノードBに接続されている。また、nMOS110のゲート電極はインバータ105の出力端子に接続され、ソース電極は接地電源GNDに接続されている。また、不揮発性メモリトランジスタ112のコントロールゲート電極はノードCに接続され、ソース電極はnMOS110のドレイン電極に接続され、ドレイン電極はノードBに接続されている。不揮発性メモリトランジスタ112は、図4に示す不揮発性メモリトランジスタTMと同様の機能を有するものである。

【0030】NANDゲート103の第1入力端子にはブロックサイズバッファ107からブロックサイズデータBnが入力され、NANDゲート103の第2入力端子には内部信号SETが入力され、NANDゲート103の第3入力端子には内部信号ENBが入力され、またNANDゲート103の出力端子はインバータ106の入

力端子に接続されている。また、pMOS109のゲート電極には内部信号ENBが入力され、pMOS109のソース電極は正電源VCC(例えば5[V])に接続され、ドレイン電極はノードBに接続されている。また、nMOS111のゲート電極は、インバータ106の出力端子に接続され、ソース電極は接地電源GNDに接続され、ドレイン電極はノードBに接続されている。また、インバータ117および118は直列接続されており、インバータ117の入力端子はノードBに接続され、インバータ118の出力端子はブロックサイズデータBnの出力端子となる。

【0031】図7はアドレスレジスタ8のアドレスビットレジスタARnの内部構成を示す回路図である。アドレスビットレジスタARnは、ANDゲート201、205、206と、アドレスバッファ202と、ORゲート203、204と、インバータ207とを有する。

【0032】ANDゲート201の第1入力端子にはブロックサイズビットレジスタBSnからブロックサイズデータBnが入力され、またANDゲート201の第2入力端子には制御回路13からの内部信号EENが入力される。また、アドレスバッファ202の入力端子には、入出力回路9から外部アドレスビットデータAnが入力され、ラッチ制御端子には制御回路13から制御信号/WEが入力される。アドレスバッファ202は制御信号/WEの立ち下がりで外部アドレスデータAnをラッチし、これを一時的に保持する。

【0033】ORゲート203の第1入力端子はANDゲート201の出力端子に接続され、第2入力端子はアドレスバッファ202の出力端子に接続されている。また、ANDゲート205の第1入力端子はORゲート203の出力端子に接続され、ANDゲート205の第2入力端子には制御回路13からの内部信号IWEが入力され、ANDゲート205の出力端子は内部アドレスデータEnの出力端子となる。

【0034】また、ORゲート204の第1入力端子はANDゲート201の出力端子に接続され、第2入力端子はインバータ207を介してアドレスバッファ202の出力端子に接続されている。また、ANDゲート206の第1入力端子はORゲート204の出力端子に接続され、ANDゲート206の第2入力端子には制御回路13からの内部信号IWEが入力され、ANDゲート205の出力端子は内部アドレスデータEBnの出力端子となる。

【0035】図1に示すローデコード2は、メモリセルアレイ1のロー数Q(ここではQ=2')と同数の第1ないし第Qの図示しない論理ゲート(ここではANDゲートとする)を備えている。それぞれのANDゲートは9個の入力端子を有する。第1の入力端子はローアドレスデータE12の出力ライン(図7のANDゲート205の出力端子)またはEB12の出力ライン(図7のAND

ゲート206の出力端子)のいずれかに接続されている。同様に、第2の入力端子はローアドレスデータE13の出力ラインまたはEB13の出力ラインのいずれかに接続され、第9の入力端子はローアドレスデータE20の出力ラインまたはEB20の出力ラインのいずれかに接続される。Q個のANDゲートの入力端子は、アドレスレジスタ8からの内部アドレスデータ出力ラインに互いに排他的に接続されている。例えば、第1のANDゲートでは、第1ないし第9の入力端子はE12~E20の出力ラインに接続され、また第2のANDゲートでは、第1の入力端子はEB12の出力ラインに接続され、第2ないし第9の入力端子はE13~E20の出力ラインに接続され、また第QのANDゲートでは、第1ないし第9の入力端子はEB12~EB20の出力ラインに接続される。第jのANDゲートの出力端子はワードラインWLj (図2参照)に対応し、第jのANDゲートは、メモリセルアレイ1の第jのローを選択するためのものである。

【0036】上記のローデコーダ2と同様に、カラムデコーダ6は、メモリセルアレイ1のカラム数P (ここでは $P=2^i$ )と同数の第1ないし第Pの図示しない論理ゲート (ここではANDゲートとする)を備えている。それぞれのANDゲートは12個の入力端子を有する。P個のANDゲートの入力端子は、アドレスレジスタ8からのカラムアドレスデータE0~E11, EB0~EB11の出力ラインに互いに排他的に接続されている。第iのANDゲートの出力端子はビットライン群BLGi (図2参照)に対応し、第iのANDゲートは、メモリセルアレイ1の第iのカラムを選択するためのものである。

【0037】次に、図1の不揮発性半導体メモリの動作を説明する。図1の不揮発性半導体メモリの動作としては、ブロックサイズ設定動作、データ書き換え動作 (データ消去動作およびデータ書き込み動作)、およびデータ読み出し動作がある。ブロックサイズ設定セットアップコマンド、データ書き換えセットアップコマンド (データ消去セットアップコマンド、データ書き込みセットアップコマンド)等のコマンドコードを外部から入力することにより、図1の不揮発性半導体メモリにおいてそれぞれの動作がセットアップされ、次に外部から動作実行コマンドを入力することにより、それぞれの動作が実行される。それぞれの動作のセットアップは、コマンドコードがコマンドレジスタ12に格納され、制御回路13がこのコマンドコードを認識することにより開始される。ここでは、ブロックサイズ設定動作およびデータ書き換え動作について説明する。なお、データ書き込み動作およびデータ読み出し動作は、従来の不揮発性半導体メモリと同様であるので、データ書き込み動作のみ簡単に説明することとし、データ読み出し動作の説明は省略する。

【0038】まず、ブロックサイズ設定動作について説

明する。図8は図1に示す不揮発性半導体メモリにおけるブロックサイズ設定動作のタイミングチャートである。図8において、66Hは外部から入出力回路9を介してコマンドレジスタ12に入力されるブロックサイズ設定セットアップコマンドである。また、D1Hはブロックサイズ設定実行コマンドである。図8に示すように、外部から制御回路13に入力される制御信号CLEがローレベル ("L" レベル) からハイレベル ("H" レベル) になるとともに、ブロックサイズ設定セットアップコマンド66Hが入出力回路9に入力される。制御回路13は、制御信号CLEが "H" レベルになると、入出力回路9およびコマンドレジスタ12を制御し、入出力回路9に入力されたコマンドコード (ブロックサイズ設定セットアップコマンド66H) をコマンドレジスタ12に格納させる。コマンドコードは、制御信号CLEが "H" レベルの期間において、外部から入力される制御信号/WEの立ち上がりでコマンドレジスタ12に格納される。

【0039】次に制御信号CLEが "L" レベルに戻り、外部から制御回路13に入力される制御信号BLEが "H" レベルになるとともに、入出力回路9にブロックサイズデータB0~B7, B8~B15, B16~B20が順次入力される。制御回路13は、コマンドレジスタ12に格納されたコマンドコードがブロックサイズ設定セットアップコマンド66Hであることを認識すると、入出力回路9およびブロックサイズレジスタ14を制御し、入出力回路9に入力されたブロックサイズデータをブロックサイズレジスタ14のブロックサイズビットレジスタBS0~BS20 (図5参照)のブロックサイズバッファ107 (図6参照)にそれぞれ格納させる。ブロックサイズデータは、制御信号BLEが "H" レベルの期間において、制御信号/WEの立ち上がりでブロックサイズ14のブロックサイズバッファ107にそれぞれ格納される。このとき制御回路13は、ブロックサイズデータB0~B7が入力されている期間では制御信号/WEをブロックサイズビットレジスタBS0~BS7に与え、B8~B15が入力されている期間では制御信号/WEをBS8~BS15に与え、またB16~B20が入力されている期間では制御信号/WEをBS16~BS20に与える。

【0040】次に制御信号BLEが "L" レベルに戻り、制御信号CLEが "H" レベルになるとともに、入出力回路9にブロックサイズ設定実行コマンドD1Hが入力される。このブロックサイズ設定実行コマンドD1Hは、制御信号/WEの立ち上がりでコマンドレジスタ12に格納される。制御回路13は、ブロックサイズ設定実行コマンドD1Hを認識すると、ブロックサイズレジスタ14のブロックサイズビットレジスタBSnを内部信号SET, SETB, EN, ENBにより制御し、ブロックサイズデータBnをブロックサイズビットレジ

タ B S<sub>n</sub> に不揮発に記憶させる。

【0041】以下に、上記のブロックサイズ設定の実行におけるブロックサイズビットレジスタ B S<sub>n</sub> の動作を図6を用いて説明する。ブロックサイズデータ B<sub>n</sub> をブロックサイズビットレジスタ B S<sub>n</sub> に不揮発に記憶させるときには、制御回路13は、内部信号 S E T を " L " レベル ( G N D レベル ) から " H " レベル ( V C C レベル ) に変化させ、内部信号 S E T B を " H " レベルから " L " レベルに変化させる。なお、内部信号 E N は " L " レベルのまま変化させず、内部信号 E N B は " H " レベルのまま変化させない。

【0042】内部信号 S E T B が " L " レベルなので、NORゲート101の出力、従ってノードAの電位レベルは、入力されるブロックサイズデータ B<sub>n</sub> のレベルにより決定される。B<sub>n</sub> が " H " レベルの場合は、NORゲート101の出力は " L " レベルとなり、インバータ104の出力は V P P 1 レベル ( 2 0 [ V ] ) となるので、ノードAは V P P 1 レベルとなる。従って、p M O S 1 0 8 は O F F する。一方、B<sub>n</sub> が " L " レベルの場合は、NORゲート101の出力は " H " レベルとなり、インバータ104の出力は G N D レベル ( 0 [ V ] ) となるので、ノードAは G N D レベルとなる。従って、p M O S 1 0 8 は O N する。

【0043】また、内部信号 S E T が " H " レベル、内部信号 E N が " L " レベルなので、NAND119の出力、従ってNORゲート102の出力、従ってn M O S 1 1 0 のゲート電極の電位レベル (インバータ105の出力レベル) は、ノードAのレベルにより決定される。ノードAが V P P 1 レベル (このとき B<sub>n</sub> は " H " レベル) の場合には、NAND119の出力およびNORゲート102の出力は " H " レベルとなり、インバータ105の出力は " L " レベルとなるので、n M O S 1 1 0 は O F F し、これにより不揮発性メモリトランジスタ112のソース電極は開放となる。一方、ノードAが G N D レベル (このとき B<sub>n</sub> は " L " レベル) の場合には、NAND119の出力およびNORゲート102の出力は " L " レベルとなり、インバータ105の出力は " H " レベルとなるので、n M O S 1 1 0 は O N し、これにより不揮発性メモリトランジスタ112のソース電極は G N D レベルとなる。

【0044】また、内部信号 S E T が " H " レベル、S E T B が " L " レベルなので、p M O S 1 1 3 および n M O S 1 1 5 は O N する。また、内部信号 E N が " L " レベル、内部信号 E N B が " H " レベルなので、p M O S 1 1 4 および n M O S 1 1 6 は O F F する。従って、ノードCはノードAに接続され、ノードCに接続された不揮発性メモリトランジスタ112のコントロールゲート電極の電位レベルは、ノードAのレベルと等しくなる。ビットデータ B<sub>n</sub> が " H " レベルの場合には、上述したようにノードAは V P P 1 レベルとなるので、不揮

発性メモリトランジスタ112のコントロールゲート電極も V P P 1 レベルとなる。一方、ビットデータ B<sub>n</sub> が " L " レベルの場合には、上述したようにノードAは G N D レベルとなるので、セルトランジスタ112のコントロールゲート電極も G N D レベルとなる。

【0045】また、内部信号 S E T および E N B がともに " H " レベルなので、NANDゲート103の出力、従ってn M O S 1 1 1 のゲート電極の電位レベル (インバータ106の出力レベル) は、B<sub>n</sub> のレベルにより決定される。また、内部信号 E N B が " H " レベルなので、p M O S 1 0 9 は、ビットデータ B<sub>n</sub> のレベルに関わらず、常に O F F している。B<sub>n</sub> が " H " レベルの場合は、NANDゲート103の出力は " L " レベルとなり、インバータ106の出力は " H " レベルとなるので、n M O S 1 1 1 は O N する。また、上述したように、ノードAは V P P 1 レベルなので p M O S 1 0 8 は O F F である。p M O S 1 0 8 および 1 0 9 が O F F 、 n M O S 1 1 1 が O N なので、ノードB、従って不揮発性メモリトランジスタ112のドレイン電極は G N D レベルとなる。一方、ビットデータ B<sub>n</sub> が " L " レベルの場合は、NANDゲート103の出力は " H " レベルとなり、インバータ106の出力は " L " レベルとなるので、n M O S 1 1 1 は O F F する。また、上述したように、ノードAは G N D レベルなので p M O S 1 0 8 は O N である。p M O S 1 0 8 が O N 、 p M O S 1 0 9 および n M O S 1 1 0 が O F F なので、ノードB、従って不揮発性メモリトランジスタ112のドレイン電極は V P P 1 レベルとなる。

【0046】このように、ブロックサイズ設定動作時において、入力されたブロックサイズデータ B<sub>n</sub> が " H " レベルの場合には、不揮発性メモリトランジスタ112のソース電極およびドレイン電極は G N D レベル ( 0 [ V ] ) 、コントロールゲート電極は V P P 1 レベル ( 2 0 [ V ] ) となるので、不揮発性メモリトランジスタ112のデータが消去され、すなわち不揮発性メモリトランジスタ112のフローティングゲートに電荷が注入され、不揮発性メモリトランジスタ112のしきい値電圧はデータ消去時のしきい値 V<sub>te</sub> となる。

【0047】また、入力されたブロックサイズデータ B<sub>n</sub> が " L " レベルの場合には、不揮発性メモリトランジスタ112のソース電極が開放、コントロールゲート電極が G N D レベル ( 0 [ V ] ) 、ドレイン電極が V P P 1 レベル ( 2 0 [ V ] ) となるので、不揮発性メモリトランジスタ112にデータが書き込まれ、すなわち不揮発性メモリトランジスタ112のフローティングゲートから電子が引き抜かれ、不揮発性メモリトランジスタ112のしきい値電圧はデータ書き込み時のしきい値 V<sub>tw</sub> ( < V<sub>te</sub> ) となる。以上により、ブロックサイズ設定動作を終了し、ブロックサイズレジスタ14のブロックサイズビットレジスタ B S<sub>n</sub> にブロックサイズデータ B<sub>n</sub>

が不揮発に記憶される。

【0048】次に、データ書き換え動作（データ消去動作およびデータ書き込み動作）を説明する。メモリセルアレイ 1 のデータを書き換えるには、まず消去対象ブロック内の全ての不揮発性メモリセルのデータを消去し（ブロック消去動作）、次に外部から入力された書き換えデータに応じて所定のメモリセルにデータを書き込む。例えば、論理レベル” 1 ”の書き換えデータとデータ消去された不揮発性メモリセルとを対応させ、論理レベル” 0 ”の書き換えデータに対応する不揮発性メモリセルにデータを書き込む。

【0049】まず、データ消去動作（ブロック消去動作）を説明する。図 9 は図 1 に示す不揮発性半導体メモリにおけるデータ消去動作のタイミングチャートである。図 9 において、60H は外部から入出力回路 9 を介してコマンドレジスタ 12 に入力されるブロック消去のセットアップコマンドである。また、D0H はブロック消去の実行コマンドである。図 9 に示すように、制御信号 CLE が” H ”レベルになるとともに、ブロック消去セットアップコマンド 60H が入出力回路 9 に入力される。制御回路 13 は、制御信号 CLE が” H ”レベルになると、入出力回路 9 およびコマンドレジスタ 12 を制御し、入出力回路 9 に入力されたブロック消去セットアップコマンド 60H を制御信号 /WE の立ち上がりでコマンドレジスタ 12 に格納させる。

【0050】次に制御信号 CLE が” L ”レベルに戻り、外部から制御回路 13 に入力される制御信号 ALE が” H ”レベルになるとともに、入出力回路 9 に外部アドレスデータ A0 ~ A7, A8 ~ A15, A16 ~ A20 が順次入力される。制御回路 13 は、コマンドレジスタ 12 に格納されたブロック消去セットアップコマンド 60H を認識すると、入出力回路 9 およびアドレスレジスタ 8 を制御し、入出力回路 9 に入力された外部アドレスデータを制御信号 /WE の立ち上がりでアドレスレジスタ 8 のアドレスビットレジスタ AR0 ~ AR20 (図 5 参照) のアドレスバッファ 202 (図 7 参照) にそれぞれ格納させる。このとき制御回路 13 は、外部アドレスデータ A0 ~ A7 が入力されている期間では制御信号 /WE をアドレスビットレジスタ AR0 ~ AR7 に与え、A8 ~ A15 が入力されている期間では制御信号 /WE を AR8 ~ AR15 に与え、また A16 ~ A20 が入力されている期間では制御信号 /WE を AR16 ~ AR20 に与える。

【0051】次に制御信号 ALE が” L ”レベルに戻り、制御信号 CLE が” H ”レベルになるとともに、入出力回路 9 にブロック消去実行コマンド D0H が入力される。このブロック消去実行コマンド D0H は、制御信号 /W の立ち上がりでコマンドレジスタ 12 に格納される。制御回路 13 は、ブロック消去実行コマンド D0H を認識すると、ブロックサイズレジスタ 14 のブロックサイズビットレジスタ BSn を内部信号 SET, SET

B, EN, ENB により制御し、ブロックサイズデータ Bn をアドレスレジスタ 8 のアドレスビットレジスタ ARn に出力させるとともに、アドレスビットレジスタ ARn を内部信号 EEN, EN により制御し、内部アドレスデータ En および EBn を生成させる。

【0052】以下に、上記のブロック消去の実行におけるブロックサイズビットレジスタ BSn およびアドレスビットレジスタ ARn の動作を図 6、図 7 を用いて説明する。図 6 のブロックサイズビットレジスタ BSn からブロックサイズデータ Bn を出力させるときには、制御回路 13 は、内部信号 EN を” L ”レベルから” H ”レベルに変化させ、内部信号 ENB を” H ”レベルから” L ”レベルに変化させる。なお、内部信号 SET は” L ”レベルのまま変化させず、内部信号 SETB は” H ”レベルのまま変化させない。

【0053】図 6 において、内部信号 SETB が” H ”レベルなので、NOR ゲート 101 の出力は” L ”レベル、ノード A は VPP1 レベルとなり、pMOS トランジスタ 18 は OFF している。また、内部信号 EN が” H ”レベルなので、NOR ゲート 102 の出力が” L ”レベル、インバータ 105 の出力が” H ”レベルとなり、nMOS トランジスタ 110 は ON している。従って、不揮発性メモリトランジスタ 112 のソース電極は GND レベルとなる。

【0054】また、内部信号 SET が” L ”レベル、SETB が” H ”レベルなので、pMOS 113 および nMOS 115 は OFF する。また、内部信号 EN が” H ”レベル、内部信号 ENB が” L ”レベルなので、pMOS 114 および nMOS 116 は ON する。従って、ノード C に接続する不揮発性メモリトランジスタ 112 のコントロールゲート電極には、センス電圧 VPP2 (例えば 2 [V]) が印加される。

【0055】また、内部信号 SET および ENB がともに” L ”レベルになるので、NAND ゲート 103 の出力は” H ”レベルとなり、インバータ 106 の出力は” L ”レベルとなるので、nMOS 111 は OFF している。また pMOS トランジスタ 109 は ON しており、不揮発性メモリトランジスタ 112 に対する負荷トランジスタ (プルアップトランジスタ) となる。

【0056】このようにブロックサイズデータ Bn の出力時においては、不揮発性メモリトランジスタ 112 のソース電極は GND レベル (0 [V]) となり、コントロールゲート電極はセンス電圧 VPP2 レベル (2 [V]) となる。不揮発性メモリトランジスタ 112 には、上記ブロックサイズ設定動作において、入力されたブロックサイズデータ Bn が記憶されている。上記ブロックサイズ設定動作のときに、” H ”レベルの Bn を記憶した不揮発性メモリトランジスタ 112 のしきい値電圧は、センス電圧 VPP2 よりも大きい Vte となっている。また、上記ブロックサイズ設定動作のときに、”

L”レベルのBnを記憶した不揮発性メモリトランジスタ112のしきい値電圧は、センス電圧VPP2よりも小さいVtwとなっている。従って、ブロックサイズ設定動作時に”H”レベルのBnを記憶した不揮発性メモリトランジスタ112は、ブロックサイズデータの出力時にOFFし、またブロックサイズ設定動作時に”L”レベルのBnを記憶した不揮発性メモリトランジスタ112は、ブロックサイズデータの出力時にONする。

【0057】ノードBの電位は不揮発性メモリトランジスタ112がOFFであるかONであるかにより決定される。不揮発性メモリトランジスタ112がOFFの場合は、ノードBは”H”レベルとなり、インバータ118が出力するブロックサイズデータBnは”L”レベルとなる。また、不揮発性メモリトランジスタ112がONの場合は、ノードBは”L”レベルとなり、インバータ118が出力するブロックサイズデータBnは”H”レベルとなる。

【0058】なお、図6に示すブロックサイズレジスタBSnは、内部信号SETおよびENがともに”L”レベルであり、内部信号SETBおよびENBがともに”H”レベルのときには、出力停止となり、インバータ118の出力端子は、不揮発性メモリトランジスタ112のしきい値電圧に関わらず”L”レベルとなる。

【0059】図7のアドレスビットレジスタARnによりブロック消去のための内部アドレスデータEnおよびEBnを生成させるときには、制御回路13は、内部信号EENおよびENをともに”L”レベルから”H”レベルに変化させる。図7において、ブロックサイズビットレジスタBSnから出力されたブロックサイズデータBnは、アドレスビットレジスタARnのANDゲート201に入力される。このとき、アドレスバッファ202には、既に外部アドレスデータAnが格納されており、アドレスバッファ202は外部アドレスデータAnをORゲート203およびインバータ207に出力している。

【0060】内部信号EENが”H”レベルなので、ANDゲート201の出力レベルは、入力されるブロックサイズデータBnのレベルにより決定される。Bnが”H”レベルの場合は、ANDゲート201の出力は”H”レベルとなり、またBnが”L”レベルの場合は、ANDゲート201の出力は”L”レベルとなる。

【0061】また、ORゲート203の出力レベルは、ANDゲート201の出力が”H”レベルであれば、外部アドレスデータAnに関わらず”H”レベルとなり、またANDゲート201の出力が”L”レベルであれば、外部アドレスデータAnと同じになる。また、ORゲート204の出力レベルは、ANDゲート201の出力が”H”レベルであれば、外部アドレスデータAnに関わらず”H”レベルとなり、またANDゲート201の出力が”L”レベルであれば、インバータ207によ

り外部アドレスデータAnの反転レベルとなる。

【0062】また、内部信号ENが”H”レベルなので、ANDゲート205はORゲート203の出力レベルを内部アドレスデータEnとして出力し、またANDゲート206はORゲート204の出力レベルを内部アドレスデータEBnとして出力する。

【0063】このように、アドレスビットレジスタARnは、ブロック消去動作においては、ブロックサイズデータBnが”L”レベルの場合には、外部アドレスデータAnと同じレベルの内部アドレスデータEn、および外部アドレスデータAnの反転レベルの内部アドレスデータEBnを出力する。また、アドレスビットレジスタARnは、ブロックサイズデータBnが”H”レベルの場合には、外部アドレスデータAnのレベルに関わらず、”H”レベルの内部アドレスデータEnおよびEBnを出力する。内部アドレスデータE0～E11、EB0～EB11はメモリセルアレイ1のカラム側を選択するためのカラムアドレスデータとしてカラムデコード6に転送され、また内部アドレスデータE12～E20、EB12～EB20はメモリセルアレイ1のロー側を選択するためのローアドレスデータとしてローデコード2に転送される。

【0064】ローデコード2に入力される同じ添え字のカラムアドレスデータEとEBからなる9個のビットペアにおいて、EBがEの反転データであるものを排他的ビットペア、EおよびEBがともに論理レベル”1”

(ここでは”H”レベル)であるものを非排他的ビットペアと称するものとすると、ローデコード2は、入力されたビットペアが全て排他的ビットペアである場合には、メモリセルアレイ1のQ個のロー(行)から、ローアドレスデータに対応する1個のロー(行)を選択する。これにより、データ消去動作においてメモリセルアレイ1はロー側でQ分割されることとなり、ブロックのロー側サイズは1行となる、また、9個のビットペアの中に非排他的ビットペアが1個ある場合には、ローアドレスデータに対応する2個のロー(行)を同時選択する。これにより、メモリセルアレイ1はロー側でQ/2分割されることとなり、ブロックのロー側サイズは2行となる。同様に、9個のビットデータペアが全て非排他的ビットペアである場合には、メモリセルアレイ1のQ個のロー(行)を全て同時選択する。これにより、メモリセルアレイ1はロー側では分割されず、ブロックのロー側サイズはQ行となる。

【0065】すなわち、ローデコード2に入力されるローアドレスデータの中にy個の非排他的ビットペアがある場合には、メモリセルアレイ1はロー側でQ/2 (=2<sup>1/y</sup>)分割され、ブロックのロー側サイズは2<sup>y</sup>行となる。また、ローデコード2と同様に、カラムデコード6に入力されるカラムアドレスデータの21個のビットペアの中にx個の非排他的ビットペアがある場合



には、カラムデコーダ6はメモリセルアレイ1のP個のカラム(列)から、カラムアドレスデータに対応する2<sup>q</sup>個の列を同時選択し、これによりメモリセルアレイ1はカラム側でP/2<sup>q</sup>(=2<sup>q1+q2</sup>)分割され、ブロックのカラム側サイズは2<sup>q</sup>列となる。従って、カラムアドレスデータおよびローアドレスデータにおける非排他的ビットペアの個数がそれぞれx個、y個である場合には、メモリセルアレイ1は(P×Q)/2<sup>q1+q2</sup>分割され、ブロックのサイズは、2<sup>q</sup>行、2<sup>q</sup>列の2<sup>q1+q2</sup>個のメモリセルユニットMU(図2参照)となり、従って2<sup>q1+q2</sup>バイトとなる。ローアドレスデータおよびカラムアドレスデータにおける非排他的ビットペアの個数は、ブロックサイズレジスタ14がアドレスレジスタ8に出力するブロックサイズデータにおける論理レベル"1"("H"レベル)のビット個数により決まる。

【0066】カラムデコーダ6は、入力されたカラムアドレスデータE0～E11、EB0～EB11に基づいて選択した2<sup>q</sup>個のカラム(列)に対応するビットライン群BLG、センスラインSL、接地制御ラインGL(それぞれ図2および図3参照)に対し、ビットライン群BLGのビットラインBL0～BL7(図3参照)を接地電源GNDに接続し、センスラインSLおよび接地制御ラインGLに高電圧VPP1(20[V])を印加する。また、ローデコーダ2は、入力されたローアドレスデータE12～E20、EB12～EB20に基づいて選択した2<sup>q</sup>個のロー(行)に対応するワードラインWL(図2および図3参照)に高電圧VPP1(20[V])を印加する。これにより、内部アドレスデータE0～E20、EB0～EB20に基づいて選択された消去ブロック内の2<sup>q1+q2</sup>個のメモリセルユニットMU内の不揮発性メモリトランジスタTM0～TM7(図3参照)は全てデータ消去される。

【0067】例えば、ブロックサイズ設定動作時に、カラムアドレスデータに対するブロックサイズデータB0～B11が全て論理レベル"1"に設定されており、またローアドレスデータに対するブロックサイズデータB12～B19が論理レベル"0"、B20が論理レベル"1"に設定されている場合には、メモリセルアレイ1は、ロー側が256分割されて256個のブロックに分割され、ブロックのサイズは2×4096個のメモリセルユニット(2×4096バイト)となる。そして、ブロック消去動作時に、外部アドレスデータA0～A20を1回入力することにより、256個のブロックの中から1個の消去対象ブロックが選択され、この消去対象ブロック内の2×4096個のメモリセルユニットMUのデータが一括消去される。

【0068】次に、データ書き込み動作を説明する。データ書き込み動作時には、制御信号CLEが"H"レベルになるとともに、データ書き込みセットアップコマンドが入出力回路9に入力される。制御回路13は、制御

信号CLEが"H"レベルになると、入出力回路9およびコマンドレジスタ12を制御し、入出力回路9に入力されたデータ書き込みセットアップコマンドをコマンドレジスタ12に格納させる。

【0069】次に制御信号CLEが"L"レベルに戻り、外部から制御回路13に入力される制御信号ALEが"H"レベルになるとともに、入出力回路9に外部アドレスデータA0～A20、および1バイトの書き換えデータが入力される。この書き換えデータのビットデータをD0～D7と表記する。制御回路13は、コマンドレジスタ12に格納されたデータ書き込みセットアップコマンドを認識すると、入出力回路9、アドレスレジスタ8、およびデータ入出力回路5を制御し、入出力回路9に入力された外部アドレスデータをアドレスレジスタ8のアドレスビットレジスタAR0～AR20(図5参照)のアドレスバッファ202(図7参照)にそれぞれ格納させ、また入出力回路9に入力された書き換えデータD0～D7をデータ入出力回路5に転送させる。

【0070】次に制御信号CLEが"H"レベルになるとともに、入出力回路9にデータ書き込み実行コマンドが入力される。このデータ書き込み実行コマンドはコマンドレジスタ12に格納される。制御回路13は、データ書き込み実行コマンドを認識すると、アドレスレジスタ8のアドレスビットレジスタARnを内部信号EEn、ENにより制御し、データ書き込みのための内部アドレスデータEnおよびEBnを生成させる。

【0071】図7のアドレスビットレジスタARnによりデータ書き込みのための内部アドレスデータEnおよびEBnを生成させるときには、制御回路13は、内部信号ENを"L"レベルから"H"レベルに変化させ、内部信号EEnを"L"レベルのまま変化させない。このとき、アドレスバッファ202には、既に外部アドレスデータAnが格納されており、アドレスバッファ202は外部アドレスデータAnをORゲート203およびインバータ207に出力している。また、内部信号EEnが"L"レベルなので、ANDゲート201の出力レベルは"L"レベルとなる。従って、ORゲート203の出力レベルは、外部アドレスデータAnと同じレベルとなり、またORゲート204の出力レベルは、外部アドレスデータAnの反転レベルとなる。

【0072】また、内部信号ENが"H"レベルなので、ANDゲート205はORゲート203の出力レベルを内部アドレスデータEnとして出力し、またANDゲート206はORゲート204の出力レベルを内部アドレスデータEBnとして出力する。

【0073】このように、アドレスビットレジスタARnは、ブロックサイズデータBnに関わらず、データ書き込み動作においては、外部アドレスデータAnと同じレベルの内部アドレスデータEn、および外部アドレスデータAnの反転レベルの内部アドレスデータEBnを

出力する。従って、生成された内部アドレスデータの21個のビットペア（同じ添え字のEとEBからなるペア）は、全て排他的ビットペアとなり、ローデコーダ2およびカラムデコーダ6はメモリセルアレイ1の1個のメモリセルユニットMU（図2参照）を選択する。

【0074】カラムデコーダ6は、入力されたカラムアドレスデータE0～E11、EB0～EB11に基づいて選択した1個のカラム（列）に対応するセンスラインSL、接地制御ラインGL（それぞれ図2および図3参照）に対し、センスラインSLおよび接地制御ラインGLを接地電源GNDに接続する。また、上記選択した1個のカラム（列）に対応するビットライン群BLGのビットラインBL0～BL7において、入出力回路9を介してデータ入出力回路5に入力された書き換えデータD0～D7の論理レベル“0”のビットに対応するビットラインBLに高電圧VPP1（20[V]）を印加する。また、ローデコーダ2は、入力されたローアドレスデータE12～E20、EB12～EB20に基づいて選択した1個のロー（行）に対応するワードラインWL（図2および図3参照）に高電圧VPP1（20[V]）を印加する。これにより、内部アドレスデータE0～E20、EB0～EB20に基づいて選択された1個のメモリセルユニットMU内の不揮発性メモリトランジスタTM0～TM7（図3参照）の中の、書き換えデータの論理レベル“0”のビットに対応する不揮発性メモリトランジスタTMにデータが書き込まれる。このようにしてメモリセルユニット（1バイト）ごとに順次データを書き込む。

【0075】以上のように本発明の実施の形態1の不揮発性半導体メモリによれば、ブロックサイズデータをブロックサイズレジスタ14（ブロックサイズ記憶手段）に予め記憶しておき、アドレスレジスタ8（ブロック設定手段）により、上記のブロックサイズデータに基づいてブロックサイズを設定するとともに、外部アドレスデータに基づいて消去対象ブロックを指定し、さらに更新手段（入出力回路9および制御回路13）により、外部から入力されたブロックサイズデータをブロックサイズレジスタ14に記憶させるようにしたことにより、取り扱うデータのサイズに合わせてデータ消去動作時のブロックサイズを外部から設定することができ、これにより1度の入力でデータ消去が可能となるので、データ入力時間を短縮できる。また、消去対象ブロック外の不揮発性メモリセルを書き換えないので、不揮発性メモリセルの寿命を長くすることができる。

【0076】なお、ブロックサイズビットレジスタBSnは、必ずしも全てのアドレスビットレジスタAR12～AR20に対して設けなくても良い。例えば、カラムアドレスデータを生成するアドレスビットレジスタAR0～AR11に対するブロックサイズビットレジスタBS0～BS11を削除し、ブロックサイズデータをB12～B20か

らなる9ビットデータとし、さらにアドレスビットレジスタAR0～AR11として、図10に示す内部構成のアドレスビットレジスタを用いれば良い。図10に示すアドレスビットレジスタは、図7において、ANDゲート201を削除し、内部信号EENを直接ORゲート203および204の第2入力端子に入力するようにしたものである。この場合には、メモリセルアレイ1のカラム側はブロック分割されることはなく、メモリセルアレイ1は最大で512分割される。

【0077】また、上記実施の形態1においては、アドレスレジスタの出力をブロックサイズデータに基づいて制御したが、ローデコーダ2およびカラムデコーダ6の出力をブロックサイズデータに基づいて制御するようにしても良い。

【0078】また、上記実施の形態1においてはブロックサイズビットレジスタを不揮発性の記憶素子により構成したが、揮発性の記憶素子を用いても良い。この場合には、電源投入時にブロックサイズ設定動作を実行するか、あるいはブロック消去動作の実行前にブロックサイズ設定動作を実行するようにすれば良い。

【0079】実施の形態2

図11は本発明の実施の形態2の不揮発性半導体メモリの構成を示すブロック図である。図11の不揮発性半導体メモリは、メモリセルアレイ1と、ローデコーダ2と、データ入出力回路5と、カラムデコーダ6と、アドレスレジスタ21（ブロック設定手段）と、入出力回路9と、高電圧発生回路10と、コマンドレジスタ12と、制御回路13と、ブロックサイズレジスタ14（ブロックサイズ記憶手段）とを有する。すなわち、実施の形態2の不揮発性半導体メモリは、上記実施の形態1の不揮発性半導体において、メモリアドレスレジスタ8をアドレスレジスタ21としたものである。アドレスレジスタ21は、21個のアドレスビットレジスタAW0～AW20により構成される。アドレスビットレジスタAWn（nは0から20までの任意の整数）は、内部アドレスデータEn、EBnを生成する。アドレスビットレジスタAW0～AW20の内部構成は同一である。また、ブロックサイズレジスタ14とアドレスレジスタ21の接続関係は、図5において、アドレスビットレジスタAR0～AR20をアドレスビットレジスタAW0～AW20としたものである。

【0080】図12はアドレスレジスタ21のアドレスビットレジスタAWnの内部構成を示す回路図である。アドレスビットレジスタAWnは、アドレスバッファ202と、ラッチ回路301と、NANDゲート302と、インバータ303、304、305と、ANDゲート306、307、308、309と、ORゲート310、311、312、313とを有する。

【0081】ORゲート310の第1入力端子はアドレスバッファ202の出力端子に接続されており、第2入



力端子にはブロックサイズビットレジスタ B<sub>Sn</sub> からブロックサイズデータ B<sub>n</sub> が入力される。また、ORゲート 311 の第1入力端子はインバータ 304 を介してアドレスバッファ 202 の出力端子に接続されており、第2入力端子にはブロックサイズデータ B<sub>n</sub> が入力される。また、ANDゲート 306 の第1入力端子はORゲート 310 の出力端子に接続され、第2入力端子には制御回路 13 から内部信号 EEN が入力される。また、ANDゲート 307 の第1入力端子はORゲート 311 の出力端子に接続され、第2入力端子には内部信号 EEN が入力される。

【0082】NANDゲート 302 の第1入力端子には、インバータ 303 を介してブロックサイズデータ B<sub>n</sub> が入力され、また NANDゲート 302 の第2入力端子には制御回路 13 からの内部信号 LAT が入力される。また、ラッチ回路 301 は、アドレスバッファ 202 の出力端子に接続された入力端子 IN と、NANDゲート 302 の出力端子に接続されたラッチ制御端子 CONT と、内部信号 EN が入力されるラッチイネーブル端子 LEN と、出力端子 OUT とを有する。また、ANDゲート 308 の第1入力端子はラッチ回路 301 の出力端子 OUT に接続され、第2入力端子には制御回路 13 から内部信号 WEN が入力される。また、ANDゲート 309 の第1入力端子はインバータ 305 を介してラッチ回路 301 の出力端子 OUT に接続され、第2入力端子には内部信号 WEN が入力される。

【0083】ORゲート 312 の第1入力端子はANDゲート 306 の出力端子に接続され、ORゲート 312 の第2入力端子はANDゲート 308 の出力端子に接続され、ORゲート 312 の出力端子は内部アドレスデータ En の出力端子となる。また、ORゲート 313 の第1入力端子はANDゲート 307 の出力端子に接続され、ORゲート 313 の第2入力端子はANDゲート 309 の出力端子に接続され、ORゲート 313 の出力端子は内部アドレスデータ En の出力端子となる。

【0084】図 13 はラッチ回路 301 の内部構成を示す回路図である。図 13 においてラッチ回路 301 は、nMOSTランジスタ 351、352 と、pMOSTランジスタ 353、354 と、インバータ 355、356、357 と、NANDゲート 358 とを有する。nMOS 351 および pMOS 354 のゲート電極は端子 CONT に接続され、また nMOS 352 および pMOS 353 のゲート電極はインバータ 355 を介して端子 CONT に接続されている。nMOS 351 のドレイン電極および pMOS 353 のソース電極は端子 IN に接続されている。nMOS 352 のドレイン電極および pMOS 354 のソース電極は NANDゲート 358 の出力端子に接続されている。nMOS 351 および 353 のソース電極と、pMOS 353 および 354 のドレイン電極と、インバータ 356 の入力端子とは、ともにノー

ド D に接続されている。インバータ 356 の出力端子と、インバータ 357 の入力端子と、NANDゲート 358 の第1入力端子とは、ともにノード E に接続されている。NANDゲート 358 の第2入力端子は、内部信号 EN が入力される端子 LEN に接続されている。インバータ 357 の出力端子は端子 OUT に接続されている。

【0085】次に、図 11 の不揮発性半導体メモリの動作を説明する。図 11 の不揮発性半導体メモリの動作としては、ブロックサイズ設定動作、データ消去動作およびデータ書き込み動作からなるデータ書き換え動作、およびデータ読み出し動作がある。ブロックサイズ設定動作およびデータ読み出し動作は上記実施の形態 1 と同様なので説明を省略し、ここではデータ書き換え動作を説明する。図 11 の不揮発性半導体メモリは、データ書き換えをブロック単位で実施する。すなわち、上記実施の形態 1 と同様に消去対象ブロックを選択し、ブロック単位でデータを消去し（ブロック消去動作）、そのあとこの消去対象ブロックを書き込み対象ブロックとして選択し、ブロック単位でデータを書き込む（ブロック書き込み動作）。従ってデータ書き換え動作において、消去対象ブロックと書き込み対象ブロックとは同一ブロックが選択される。書き換え動作において選択されるブロックを書き換え対象ブロックと称する。ブロック書き込み動作においては、ここでは、書き換え対象ブロック内のメモリセルユニットを選択するためのアドレスデータと、このアドレスデータにより選択されるメモリセルユニットに対する書き換えデータとを、実行コマンドで区切らずに連続的に外部から順次に入力し、消去対象ブロック内の全てのメモリセルユニットに順次データを書き込むものとする。また、図 11 の不揮発性半導体メモリは、書き換え対象ブロック以外に誤ってデータ書き込みをしないように、誤書き込みを防止する機能を有する。

【0086】以下に、データ書き換え動作（データ消去動作およびデータ書き込み動作）を説明する。まず、データ消去動作（ブロック消去動作）を説明する。上記実施の形態 1 と同様に、制御回路 13 は、入出力回路 9 およびコマンドレジスタ 12 を制御し、入出力回路 9 に入力されたブロック消去セットアップコマンドをコマンドレジスタ 12 に格納させ、このブロック消去セットアップコマンド 66H を認識すると、入出力回路 9 およびアドレスレジスタ 8 を制御し、入出力回路 9 に入力された外部アドレスデータをアドレスレジスタ 21 のアドレスビットレジスタ AW0 ~ AW20 のアドレスバッファ 202（図 12 参照）にそれぞれ格納させる。

【0087】次に制御回路 13 は、入出力回路 9 に入力されたブロック消去実行コマンドをコマンドレジスタ 12 に格納させ、このブロック消去実行コマンドを認識すると、ブロックサイズレジスタ 14 のブロックサイズビットレジスタ B<sub>Sn</sub> を内部信号 SET、SETB、E

N, ENBにより制御し、ブロックサイズデータBnをアドレスレジスタ21のアドレスビットレジスタAWnに出力させるとともに、アドレスビットレジスタAWnを内部信号EEN, WEN, EN, LATにより制御し、消去ブロックを選択するための内部アドレスデータEnおよびEBnを生成させる。

【0088】以下に、上記のブロック消去の実行におけるアドレスビットレジスタARnの動作を図12、図13を用いて説明する。ブロックサイズビットレジスタBSn(図6参照)からブロックサイズデータBnを出力させ、図12のアドレスビットレジスタAWnによりブロック消去のための内部アドレスデータEnおよびEBnを生成させるときには、制御回路13は、内部信号ENおよびEENを”L”レベルから”H”レベルに変化させ、内部信号ENBを”H”レベルから”L”レベルに変化させる。また、内部信号ENを”H”レベルに変化させ、ブロックサイズビットレジスタBSnからブロックサイズデータBnが出力されてから、内部信号LATを”L”レベルから”H”レベルに変化させる。なお、内部信号ENおよびLATはブロック消去動作が終了し、そのあとにブロック書き込み動作が終了するまで、”H”に保持される。また、このブロック消去動作においては、内部信号SETおよびWENは、”L”レベルのままであり、内部信号SETBは”H”レベルのままである。

【0089】図12において、内部信号ENが”H”レベルとなることによりブロックサイズビットレジスタBSnから出力されたブロックサイズデータBnは、アドレスビットレジスタAWnのORゲート310および311に入力され、またインバータ303を介してNANDゲート302に入力される。このとき、アドレスバッファ202には、既に外部アドレスデータAnが格納されており、この外部アドレスデータAnはORゲート310に入力され、またインバータ304を介してORゲート311に入力される。

【0090】ORゲート310および311は、入力されるブロックサイズデータBnが”H”レベルの場合は、ともに”H”レベルを出力し、またBnが”L”レベルの場合は、ORゲート310の出力レベルは外部アドレスデータAnと同じレベルとなり、ORゲート311の出力レベルはAnの反転レベルとなる。

【0091】また、内部信号EENが”H”レベルなので、ANDゲート306の出力レベルはORゲート310の出力レベルと同じは、ANDゲート201の出力が”H”レベルであれば、外部アドレスデータAnに関わらず”H”レベルとなり、またANDゲート201の出力が”L”レベルであれば、Anと同じになる。また、ORゲート204の出力レベルは、ANDゲート201の出力が”H”レベルであれば、外部アドレスデータAnに関わらず”H”レベルとなり、またANDゲート

201の出力が”L”レベルであれば、インバータ207によりAnの反転レベルとなる。

【0092】また、内部信号EENが”H”レベルなので、ANDゲート306はORゲート310からの入力レベルをそのまま出力し、ANDゲート307はORゲート311からの入力レベルをそのまま出力する。また、内部信号WENが”L”レベルなので、ANDゲート308および309の出力は”L”レベルとなる。これにより、ORゲート312はANDゲート306の出力レベルを内部アドレスデータEnとして出力し、またORゲート313はANDゲート307の出力レベルを内部アドレスデータEBnとして出力する。従って、アドレスビットレジスタAWnは、ブロックサイズデータBnが”H”レベルの場合には、内部アドレスデータEnおよびEBnとともに”H”レベルとし、またブロックサイズデータBnが”L”レベルの場合には、内部アドレスデータEnを外部アドレスデータAnと同じレベル、EBnをAnの反転レベルとする。

【0093】また、内部信号LATが”L”であるときには、NANDゲート302の出力は”H”レベルであり、従って図13に内部構成を示すラッチ回路301の端子CONTは”H”レベルである。このとき、ラッチ回路301において、nMOS351およびpMOS353はONしており、nMOS352およびpMOS354はOFFしている。従ってラッチ回路301は、アドレスバッファ202から端子INに入力されるデータをインバータ356および357を介して端子OUTに出力する。また、内部信号ENが”H”レベルなので、NANDゲート358はノードEの反転レベルを出力している。

【0094】制御回路13は、上記のブロック消去動作において、NANDゲート302にインバータ303を介してブロックサイズデータBnが入力されたあとに、内部信号LATを”L”レベルから”H”レベルに変化させる。内部信号LATが”H”レベルに変化すると、NANDゲート302の出力従ってラッチ回路301の端子CONTはブロックサイズデータBnと同じレベルとなる。ラッチ回路301は、ブロックサイズデータBnが”H”レベルの場合には、内部信号LATが”L”レベルであったときのままであるが、ブロックサイズデータBnが”L”レベルの場合には(端子CNTが”L”に変化した場合には)、端子INに入力されているブロック消去のための外部アドレスデータAnをラッチする。すなわち、ラッチ回路301において、端子CONTが”L”レベルになると、nMOS351およびpMOS353はOFFし、nMOS352およびpMOS354はONする。これにより、ノードDは、端子INから切り離され、NANDゲート302の出力端子に接続される。従って、ノードEは外部アドレスデータAnの反転レベルに固定され、ノードDおよび端子OUT

は  $A_n$  と同じレベルに固定される。内部信号  $E_n$  および  $L A T$  は、ブロック書き込み動作が終了するまで "H" レベルに保持されるので、ブロックサイズデータ  $B_n$  が "L" レベルの場合には、ラッチ回路 301 の出力端子  $O U T$  は、ブロック書き込み動作が終了するまで、ブロック消去のための外部アドレスデータ  $A_n$  に固定される。

【0095】ローデコーダ2およびカラムデコーダ6は、上記実施の形態1と同様に、アドレスレジスタ21により生成された内部アドレスデータ  $E_0 \sim E_{20}$ ,  $E B_0 \sim E B_{20}$  によりそのサイズおよび不揮発性メモリセル1における位置が指定されたブロックを選択し、選択したブロック内の全ての不揮発性メモリトランジスタのデータを消去する。

【0096】次に、データ書き込み動作を説明する。データ書き込み動作時には、まず制御信号  $C L E$  が "H" レベルになるとともに、データ書き込み開始コマンドが入出力回路9に入力される。制御回路13は、制御信号  $C L E$  が "H" レベルになると、入出力回路9およびコマンドレジスタ12を制御し、入出力回路9に入力されたデータ書き込みセットアップコマンドをコマンドレジスタ12に格納させる。制御回路13は、コマンドレジスタ12に格納されたデータ書き込みセットアップコマンドを認識すると、入出力回路9、ブロックサイズレジスタ14、アドレスレジスタ21、およびデータ入出力回路5の制御を開始する。

【0097】次に制御信号  $C L E$  が "L" レベルに戻り、制御信号  $A L E$  が "H" レベルになるとともに、入出力回路9に、書き換え対象ブロック内のメモリセルユニット  $M U$  を選択するための外部アドレスデータ  $A_0 \sim A_{20}$  と、このメモリセルユニット  $M U$  に対する1バイトの書き換えデータ  $D_0 \sim D_7$  とが交互に、ブロック内のメモリセルユニット  $M U$  の個数分だけ連続的に順次入力される。ブロックサイズが  $2^{(n)}$  バイト ( $2^{(n)}$  個のメモリセルユニット  $M U$ ) であり、書き換え対象ブロックが、メモリセルユニット  $M U(0,0)$  と  $M U(2^n, 2^n)$  を対角とする方形領域であるものとする、例えば、まずメモリセルユニット  $M U(0,0)$  を選択するためのアドレスデータが入力され、続いてメモリセルユニット  $M U(0,0)$  に対する書き換えデータが入力され、以下それぞれのメモリセルユニット  $M U$  に対するアドレスデータと書き換えデータとが交互に入力され、最後に  $M U(2^n, 2^n)$  に対する書き換えデータが入力され、合計で  $2^{(n)}$  個の外部アドレスデータと、  $2^{(n)}$  バイトの書き換えデータとが連続的に入力される。

【0098】制御回路13は、入出力回路9、アドレスレジスタ21、およびデータ入出力回路5を制御し、入出力回路9に入力された外部アドレスデータ  $A_0 \sim A_{20}$  をアドレスレジスタ21のアドレスビットレジスタ  $A W_0 \sim A W_{20}$  のアドレスバッファ202 (図12参照)

に順次格納させ、また書き換えデータ  $D_0 \sim D_7$  をデータ入出力回路5に転送させる。さらに、ローデコーダ2およびカラムデコーダ6を制御し、書き換えた対象ブロック内のメモリセルユニット  $M U$  に順次データを書き込ませる。

【0099】図12のアドレスビットレジスタ  $A W_n$  によりデータ書き込みのための内部アドレスデータ  $E_n$  および  $E B_n$  を生成させるときには、制御回路13は、内部信号  $W E N$  を "L" レベルから "H" レベルに変化させる。なお、内部信号  $E E N$  はブロック消去動作の終了とともに "L" レベルに戻り、ブロック書き込み動作においては "L" レベルのままである。また、内部信号  $E_n$  および  $L A T$  は、ブロック消去動作時から引き続き、"H" に保持される。

【0100】内部信号  $E E N$  が "L" レベルなので、 $A N D$  ゲート306および307の出力は、ともに "L" レベルである。また、内部信号  $W E N$  が "H" レベルなので、 $A N D$  ゲート308はラッチ回路301の出力と同じレベルを出力し、 $A N D$  ゲート308はラッチ回路301の出力の反転レベルを出力する。従って、 $O R$  ゲート312はラッチ回路301の出力レベルを内部アドレスデータ  $E_n$  として出力し、また  $O R$  ゲート312はラッチ回路301の出力の反転レベルを内部アドレスデータ  $E B_n$  として出力する。

【0101】ところで、対応するブロックサイズデータ  $B_n$  が "L" であるアドレスビットレジスタ  $A W_n$  ( $L A W_n$  と表記する) のラッチ回路301は、先のブロック消去動作時にアドレスバッファ202から端子  $I N$  に入力された、データ消去のための外部アドレスデータ  $A_n$  ( $e A_n$  と表記する) をラッチし、これを端子  $O U T$  に出力している。また、対応するブロックサイズデータ  $B_n$  が "H" レベルであるアドレスビットレジスタ  $A W_n$  ( $H A W_n$  と表記する) のラッチ回路301は、アドレスバッファ202から端子  $I N$  に入力される、データ書き込みのための外部アドレスデータ  $A_n$  ( $w A_n$  と表記する) を端子  $O U T$  に出力する。

【0102】従って、アドレスビットレジスタ  $H A W_n$  は、入出力回路9を介して外部から順次入力され、アドレスバッファ202に順次保持される外部アドレスデータ  $w A_n$  を内部アドレスデータ  $w E_n$  (データ書き込みのための  $E_n$ ) として出力し、 $w A_n$  の反転レベルを内部アドレスデータ  $w E B_n$  (データ書き込みのための  $E B_n$ ) として出力する。一方、アドレスビットレジスタ  $L A W_n$  は、アドレスバッファ202に順次保持される外部アドレスデータ  $w A_n$  に関わらず、ブロック消去動作時にラッチした外部アドレスデータ  $e A_n$  を内部アドレスデータ  $w E_n$  として出力し、 $A P_n$  の反転レベルを内部アドレスデータ  $w E B_n$  として出力する。アドレスビットレジスタ  $L A W_n$  から出力される内部アドレスデータ  $w E_n$  および  $w E B_n$  のレベルは固定され、プロッ

ク消去動作時と同じものとなる。すなわち、ブロックサイズレジスタ 21 は消去対象ブロックとして設定したブロックを一時的に記憶し、このブロックを書き込み対象ブロックとして設定することにより、書き換え対象ブロックを設定し、アドレスビットレジスタ HAWn から出力される内部アドレスデータ wEn および wEBn のレベルのみが、外部アドレスデータ wAn のレベル変化に応じて変化する。

【0103】ブロック消去動作において”L”レベルであった内部アドレスデータは、ブロック書き込み動作において”L”レベルに固定されるので、ブロック書き込み動作においては、データ書き換え対象ブロック内のメモリセルユニット MU のみが選択され、もしもデータ書き換え対象ブロック外のメモリセルユニット MU を指定する誤った外部アドレスデータ wA0 ~ wA20 が入力された場合にも、データ書き換え対象ブロック外のメモリセルユニット MU が選択されることはなく、従ってデータ書き換え対象ブロック外のメモリセルユニット MU に誤ってデータが書き込まれることはない。

【0104】以上のように本発明の実施の形態 2 の不揮発性半導体メモリによれば、ブロックサイズデータをブロックサイズレジスタ 21 (ブロックサイズ記憶手段) に予め記憶しておき、アドレスレジスタ 12 (ブロック設定手段) により、上記のブロックサイズデータに基づいてブロックサイズを設定するとともに、外部アドレスデータに基づいて書き換え対象ブロックを指定し、さらに更新手段 (入出力回路 9 および制御回路 13) により、外部から入力されたブロックサイズデータをブロックサイズレジスタ 14 に記憶させるようにしたことにより、取り扱うデータのサイズに合わせてデータ書き換え動作時のブロックサイズを外部から設定することができ、これにより簡単な入力でデータ書き換えが可能となるので、データ入力時間をさらに短縮できる。また、書き換え対象ブロック外の不揮発性メモリセルを書き換えないので、不揮発性メモリセルの寿命を長くすることができる。さらに、消去対象ブロックを指定した内部アドレスデータをアドレスレジスタ 8 に一時的に記憶し、データ書き込み動作時に誤った外部アドレスデータが入力されても、書き込み対象ブロック内のメモリセルユニットを指定するようにしたことにより、書き換え対象ブロック以外のブロックにデータが誤書き込みされることを防止できる。

#### 【0105】

【発明の効果】以上説明したように本発明の不揮発性半導体記憶装置によれば、ブロックサイズデータをブロックサイズ記憶手段に予め記憶しておき、ブロック設定手段により、上記のブロックサイズデータに基づいてブロックサイズを設定するようにしたことにより、簡単な入力でデータ書き換えが可能となるので、データ入力時間

を短縮できることができるという効果がある。また、対象ブロック外の不揮発性メモリセルを書き換えないので、不揮発性メモリセルの寿命を長くすることができるという効果がある。

#### 【図面の簡単な説明】

【図 1】本発明の実施の形態 1 の不揮発性半導体メモリの構成を示すブロック図である。

【図 2】本発明の実施の形態 1 におけるメモリセルアレイの内部構成を示すブロック図である。

10 【図 3】本発明の実施の形態 1 におけるメモリセルアレイを構成するメモリセルユニットの内部構成を示す回路図である。

【図 4】本発明の実施の形態 1 におけるメモリセルユニットを構成する不揮発性メモリトランジスタの動作を説明するための図である。

【図 5】本発明の実施の形態 1 におけるブロックサイズレジスタおよびアドレスレジスタの内部構成および接続関係を示すブロック図である。

20 【図 6】本発明の実施の形態 1 におけるブロックサイズレジスタを構成するブロックサイズビットレジスタの内部構成を示す回路図である。

【図 7】本発明の実施の形態 1 におけるアドレスレジスタを構成するアドレスビットレジスタの内部構成を示す回路図である。

【図 8】本発明の実施の形態 1 におけるブロックサイズ設定動作のタイミングチャートである。

【図 9】本発明の実施の形態 1 におけるブロック消去動作のタイミングチャートである。

30 【図 10】本発明の実施の形態 1 における他のアドレスビットレジスタの内部構成を示す回路図である。

【図 11】本発明の実施の形態 2 の不揮発性半導体メモリの構成を示すブロック図である。

【図 12】本発明の実施の形態 2 におけるアドレスレジスタを構成するアドレスビットレジスタの内部構成を示す回路図である。

【図 13】本発明の実施の形態 2 におけるアドレスビットレジスタを構成するラッチ回路の内部構成を示す回路図である。

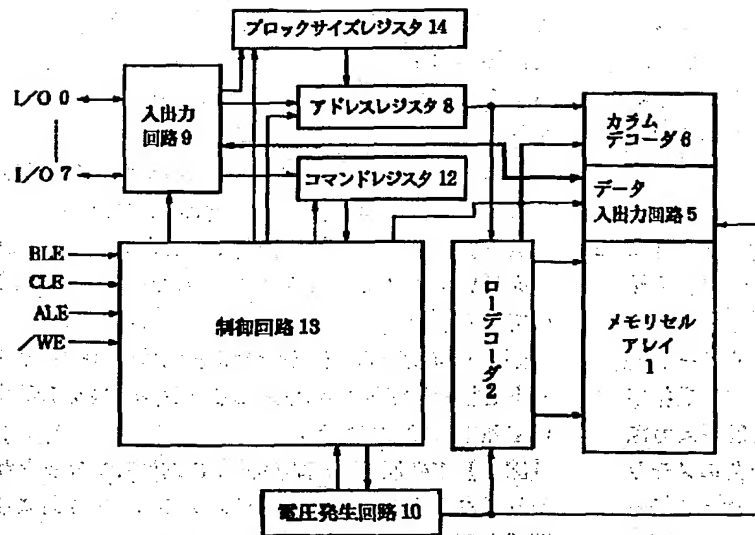
40 【図 14】従来の不揮発性半導体メモリの構成を示すブロック図である。

【図 15】従来の不揮発性半導体メモリにおけるマルチブロック消去動作のタイミングチャートである。

#### 【符号の説明】

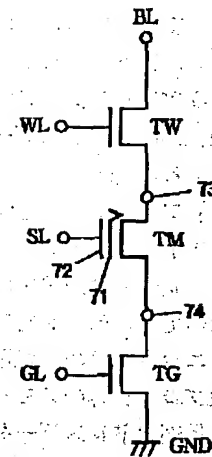
1 メモリセルアレイ、 2 ローデコーダ、 6 カラムデコーダ、 8, 21 アドレスレジスタ、 9 入出力回路、 13 制御回路、 14 ブロックサイズレジスタ、 112, TM0 ~ TM7 不揮発性メモリトランジスタ。

【図 1】



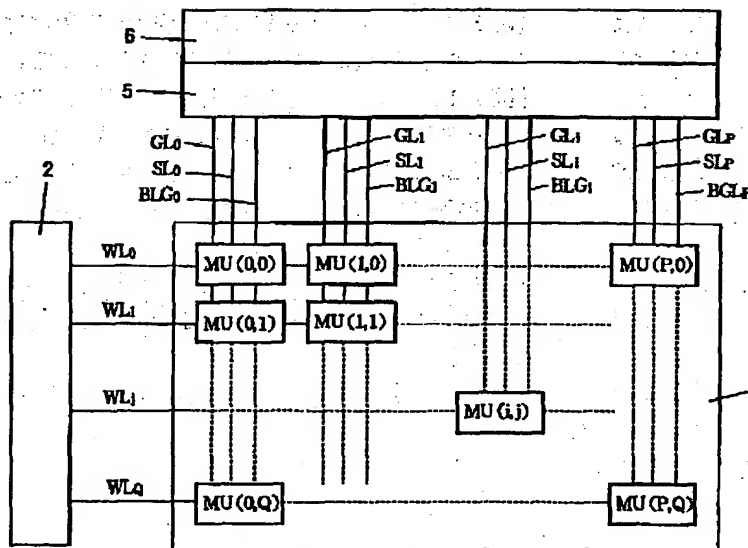
実施の形態 1 の不揮発性半導体メモリ

【図 4】



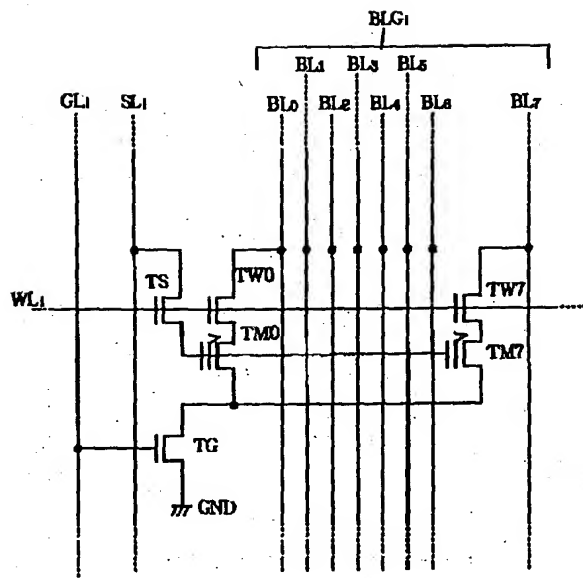
不揮発性メモリセル

【図 2】



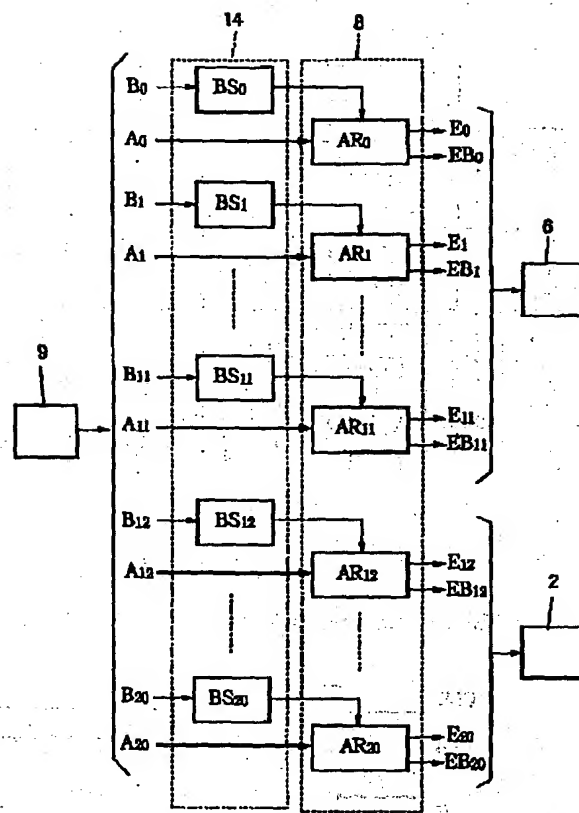
不揮発性メモリセルアレイ

【図3】



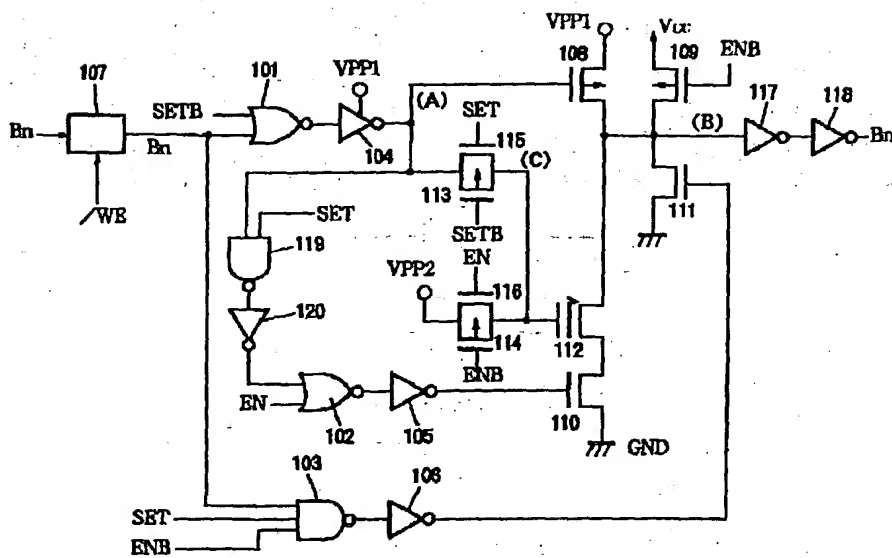
メモリエルユニット MU(i, j)

【図5】

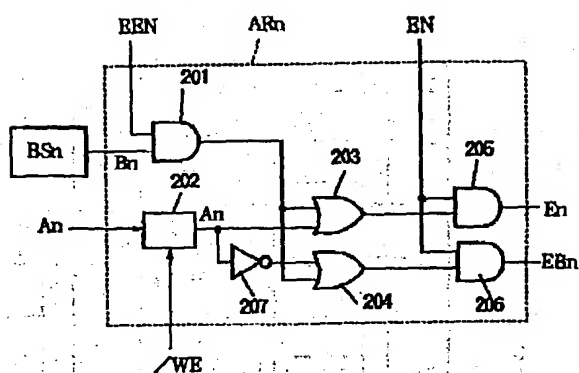


ブロックサイズレジスタとアドレスレジスタ

【図6】

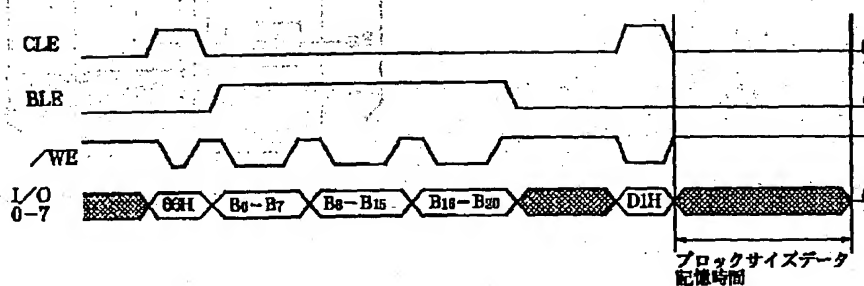
ブロックサイズレジスタ BS<sub>n</sub>

【图7】



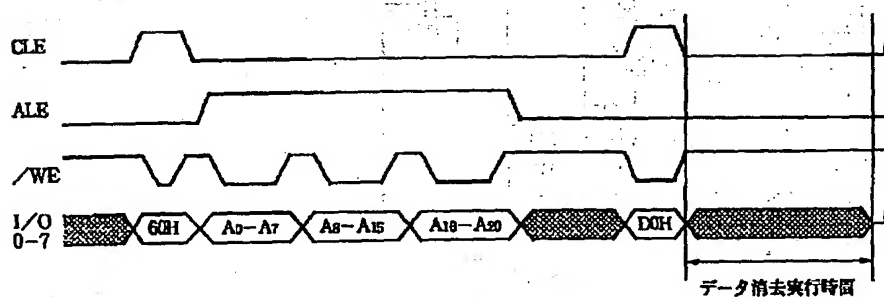
実施の形態1のアドレスレジスタ ARn

【图 8】



実施の形態1におけるブロックサイズ設定動作の  
タイミングチャート

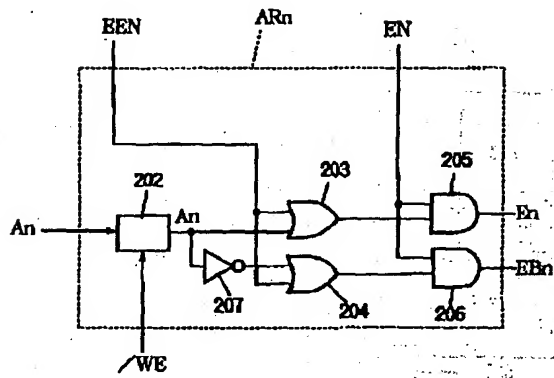
【图9】



実施の形態1におけるブロック消去動作のタイミングチャート

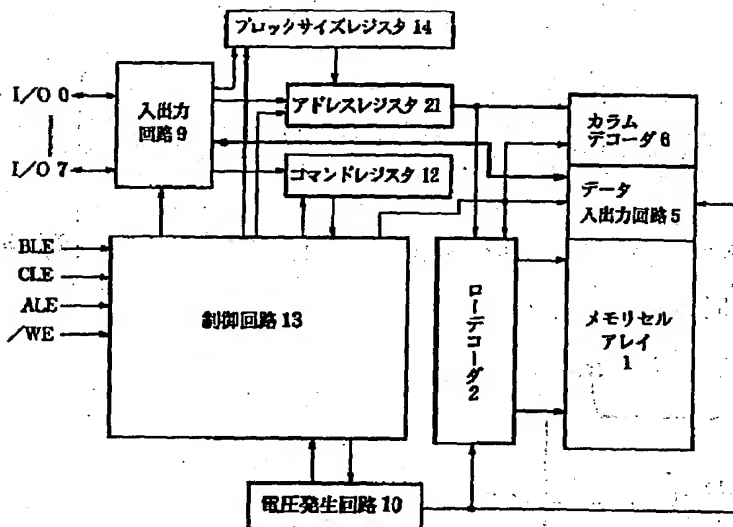


【図10】



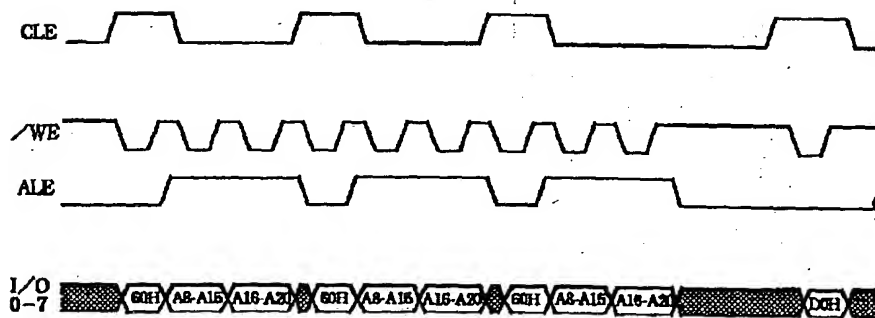
実施の形態1の他のアドレスレジスタ

【図11】



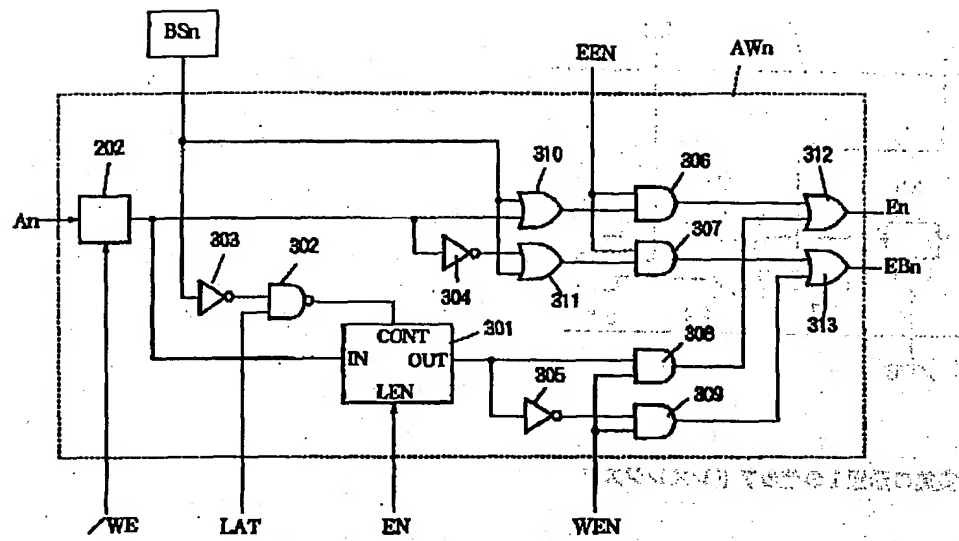
実施の形態2の不揮発性半導体メモリ

【図15】

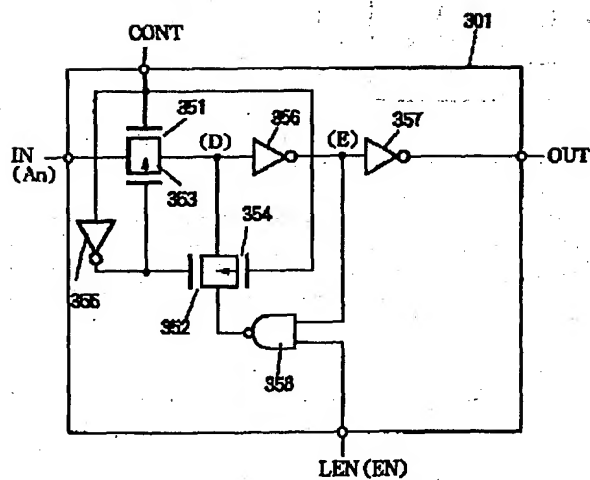


マルチブロック消去動作のタイミングチャート

【図12】

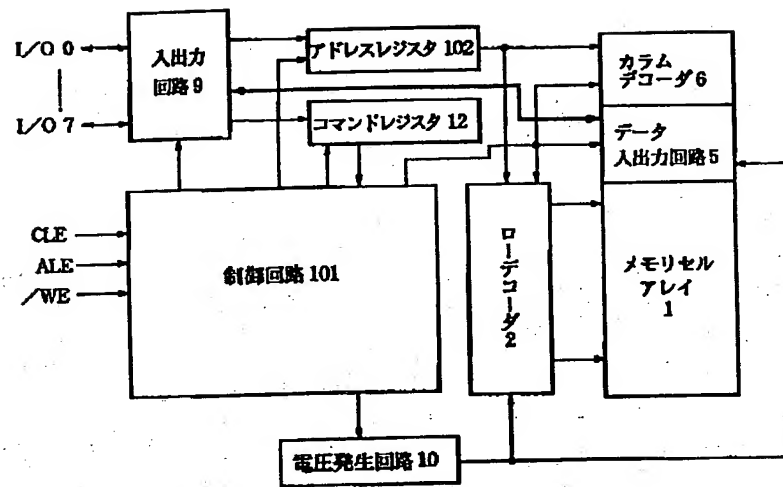
実施の形態2のアドレスレジスタ  $AW_n$ 

【図13】

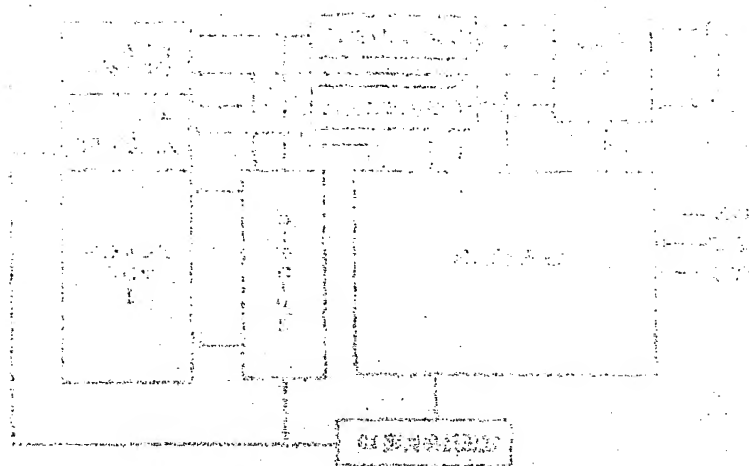


ラッチ回路

【図 14】



従来の不揮発性半導体メモリ



01 201 202 203